

平成 28年  
1月

日本特許庁  
PATENT OFFICE  
JAPANESE GOVERNMENT

J1033 U.S. PRO  
09/827391  
04/06/01

別紙添付の書類に記載されている事項は下記の出願書類に記載されて  
いる事項と同一であることを証明する。

This is to certify that the annexed is a true copy of the following application as filed  
with this Office.

出願年月日  
Date of Application: 2000年 4月 11日

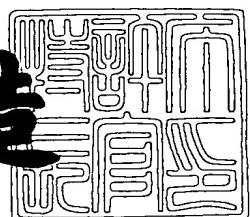
出願番号  
Application Number: 特願2000-109309

出願人  
Applicant(s): セイコーエプソン株式会社

2000年12月 1日

特許長官  
Commissioner,  
Patent Office

及川耕造



出証番号 出証特2000-3099870

【書類名】 特許願  
 【整理番号】 EP-0222901  
 【提出日】 平成12年 4月11日  
 【あて先】 特許庁長官殿  
 【国際特許分類】 H01L 21/8244  
 【発明者】  
   【住所又は居所】 長野県諏訪市大和3丁目3番5号 セイコーホームズ株式会社内  
   【氏名】 熊谷 敬  
 【発明者】  
   【住所又は居所】 長野県諏訪市大和3丁目3番5号 セイコーホームズ株式会社内  
   【氏名】 竹内 正浩  
 【発明者】  
   【住所又は居所】 長野県諏訪市大和3丁目3番5号 セイコーホームズ株式会社内  
   【氏名】 小平 覚  
 【発明者】  
   【住所又は居所】 長野県諏訪市大和3丁目3番5号 セイコーホームズ株式会社内  
   【氏名】 野田 貴史  
 【特許出願人】  
   【識別番号】 000002369  
   【氏名又は名称】 セイコーホームズ株式会社  
 【代理人】  
   【識別番号】 100090479  
   【弁理士】  
   【氏名又は名称】 井上 一  
   【電話番号】 03-5397-0891

【選任した代理人】

【識別番号】 100090387

【弁理士】

【氏名又は名称】 布施 行夫

【電話番号】 03-5397-0891

【選任した代理人】

【識別番号】 100090398

【弁理士】

【氏名又は名称】 大渕 美千栄

【電話番号】 03-5397-0891

【手数料の表示】

【予納台帳番号】 039491

【納付金額】 21,000円

【提出物件の目録】

【物件名】 明細書 1

【物件名】 図面 1

【物件名】 要約書 1

【包括委任状番号】 9402500

【ブルーフの要否】 要

【書類名】 明細書

【発明の名称】 半導体装置

【特許請求の範囲】

【請求項1】 第1駆動トランジスタ、第2駆動トランジスタ、第1負荷トランジスタ、第2負荷トランジスタ、第1転送トランジスタおよび第2転送トランジスタを含むメモリセル部と、

他の半導体回路部と、

が同一の半導体基板に形成されている半導体装置であって、

前記メモリセル部の一メモリセルは、第1ゲート電極層、第2ゲート電極層、第1ドレインードレイン接続層、第2ドレインードレイン接続層、第1ドレインーゲート接続層および第2ドレインーゲート接続層を備え、

前記第1ゲート電極層は、前記第1駆動トランジスタのゲート電極と前記第1負荷トランジスタのゲート電極とを含み、

前記第2ゲート電極層は、前記第2駆動トランジスタのゲート電極と前記第2負荷トランジスタのゲート電極とを含み、

前記第1ドレインードレイン接続層および前記第2ドレインードレイン接続層は、前記第1ゲート電極層および前記第2ゲート電極層より上に位置し、

平面的には、前記第1ドレインードレイン接続層と前記第2ドレインードレイン接続層との間に、前記第1ゲート電極層および前記第2ゲート電極層が位置し

前記第1ドレインードレイン接続層は、前記第1駆動トランジスタのドレイン領域と前記第1負荷トランジスタのドレイン領域との接続に用いられ、

前記第2ドレインードレイン接続層は、前記第2駆動トランジスタのドレイン領域と前記第2負荷トランジスタのドレイン領域との接続に用いられ、

前記第1ドレインーゲート接続層および前記第2ドレインーゲート接続層は、前記第1ドレインードレイン接続層および前記第2ドレインードレイン接続層より上に位置し、

前記第1ドレインーゲート接続層は、前記第1ドレインードレイン接続層と前

記第2ゲート電極層との接続に用いられ、

前記第2ドレインーゲート接続層は、前記第2ドレインードレイン接続層と前記第1ゲート電極層との接続に用いられ、

前記他の半導体回路部は、前記第1ドレインードレイン接続層および前記第2ドレインードレイン接続層と同じレベルの位置に、配線層を有さない、半導体装置。

【請求項2】 請求項1において、

前記第1ドレインードレイン接続層および前記第2ドレインードレイン接続層の厚みは、それぞれ、100～170nmである、半導体装置。

【請求項3】 請求項1または2において、

前記第1ドレインードレイン接続層および前記第2ドレインードレイン接続層は、高融点金属の窒化物層を含む、半導体装置。

【請求項4】 請求項1～3のいずれかにおいて、

電界効果トランジスタ、第1層間絶縁層、第2層間絶縁層、配線層およびコンタクト導電部を備え、

前記電界効果トランジスタは、前記他の半導体回路部に位置し、

前記第1層間絶縁層は、前記メモリセル部において、前記第1ゲート電極層および前記第2ゲート電極層を覆うように位置し、

前記第1層間絶縁層は、前記他の半導体回路部において、前記電界効果トランジスタのゲート電極を覆うように位置し、

前記第2層間絶縁層は、前記メモリセル部において、前記第1ドレインードレイン接続層および前記第2ドレインードレイン接続層を覆うように位置し、

前記第2層間絶縁層は、前記他の半導体回路部において、前記第1層間絶縁層上に位置し、

前記配線層は、前記他の半導体回路部において、前記第2層間絶縁層上に位置し、

前記配線層は、前記第1ドレインーゲート接続層および前記第2ドレインーゲート接続層と同じレベルの位置にあり、

前記コンタクト導電部は、前記他の半導体回路部において、前記第1層間絶縁

層から前記第2層間絶縁層にわたって形成された孔部に位置し、

前記コンタクト導電部は、前記配線層と前記電界効果トランジスタのソース／ドレインとの接続および前記配線層と前記電界効果トランジスタのゲート電極との接続のうち、少なくともいずれか一方の接続に用いられる、半導体装置。

【請求項5】 請求項4において、

前記孔部のアスペクト比は、5以下である、半導体装置。

【請求項6】 請求項1～5のいずれかにおいて、

前記他の半導体回路部は、ロジック回路部を含む、半導体装置。

【請求項7】 請求項1～6のいずれかにおいて、

前記第1ゲート電極層、前記第2ゲート電極層、前記第1ドレインードレイン接続層、前記第2ドレインードレイン接続層は、それぞれ、直線状のパターンをし、かつ、

これらは、互いに平行に配置されている、半導体装置。

【請求項8】 請求項1～7のいずれかにおいて、

前記第1駆動トランジスタおよび前記第2駆動トランジスタは、n型であり、

前記第1負荷トランジスタおよび前記第2負荷トランジスタは、p型であり、

前記第1転送トランジスタおよび前記第2転送トランジスタは、n型であり、

第1層導電層、第2層導電層、第3層導電層および第4層導電層を備え、

前記第1層導電層には、前記第1ゲート電極層、前記第2ゲート電極層、および副ワード線が位置し、

前記第2層導電層には、前記第1ドレインードレイン接続層、前記第2ドレインードレイン接続層、電源線、第1コンタクトパッド層、第2コンタクトパッド層、および第3コンタクトパッド層が位置し、

前記第3層導電層には、前記第1ドレインーゲート接続層、前記第2ドレインーゲート接続層、主ワード線、第4コンタクトパッド層、第5コンタクトパッド層、および第6コンタクトパッド層が位置し、

前記第4層導電層には、第1ビット線、第2ビット線、および接地線が位置し

前記副ワード線は、第1方向に延び、

前記電源線は、前記負荷トランジスタのソース領域と接続され、

前記第1コンタクトパッド層は、前記第1ビット線と前記第1転送トランジスタのソース／ドレイン領域との接続に用いられ、

前記第2コンタクトパッド層は、前記第2ビット線と前記第2転送トランジスタのソース／ドレイン領域との接続に用いられ、

前記第3コンタクトパッド層は、前記駆動トランジスタのソース領域を、前記接地線と接続させるのに用いられ、

前記主ワード線は、第1方向に延び、

前記第4コンタクトパッド層は、前記第1ビット線と前記第1転送トランジスタのソース／ドレイン領域との接続に用いられ、

前記第5コンタクトパッド層は、前記第2ビット線と前記第2転送トランジスタのソース／ドレイン領域との接続に用いられ、

前記第6コンタクトパッド層は、前記駆動トランジスタのソース領域を、前記接地線と接続させるのに用いられ、

前記第1ビット線および前記第2ビット線は、第1方向と直角に交わる第2方向に延びる、半導体装置。

【請求項9】 請求項1～8のいずれかにおいて、

前記メモリセルのサイズが、 $4 \sim 5 \mu\text{m}^2$ 以下である、半導体装置。

#### 【発明の詳細な説明】

##### 【0001】

##### 【発明の属する技術分野】

本発明は、例えば、SRAM (static random access memory) のようなメモリセル部を備えた半導体装置に関する。

##### 【0002】

##### 【背景技術および発明が解決しようとする課題】

SRAMは、リフレッシュ動作が不要なのでシステムを簡単にできることや低消費電力であるという特徴を有する。このため、SRAMは、例えば、携帯電話のような携帯機器のメモリに好適に使用される。SRAMが搭載される携帯機器には、小型化の要請があり、このためには、SRAMのメモリセルサイズを縮小

しなければならない。

## 【0003】

本発明の目的は、メモリセルサイズを小型化することが可能な半導体装置を提供することである。

## 【0004】

## 【課題を解決するための手段】

本発明は、第1駆動トランジスタ、第2駆動トランジスタ、第1負荷トランジスタ、第2負荷トランジスタ、第1転送トランジスタおよび第2転送トランジスタを含むメモリセル部と、他の半導体回路部と、が同一の半導体基板に形成されている半導体装置であって、前記メモリセル部の一メモリセルは、第1ゲート電極層、第2ゲート電極層、第1ドレインードレイン接続層、第2ドレインードレイン接続層、第1ドレインーゲート接続層および第2ドレインーゲート接続層を備え、前記第1ゲート電極層は、前記第1駆動トランジスタのゲート電極と前記第1負荷トランジスタのゲート電極とを含み、前記第2ゲート電極層は、前記第2駆動トランジスタのゲート電極と前記第2負荷トランジスタのゲート電極とを含み、前記第1ドレインードレイン接続層および前記第2ドレインードレイン接続層は、前記第1ゲート電極層および前記第2ゲート電極層より上に位置し、平面的には、前記第1ドレインードレイン接続層と前記第2ドレインードレイン接続層との間に、前記第1ゲート電極層および前記第2ゲート電極層が位置し、前記第1ドレインードレイン接続層は、前記第1駆動トランジスタのドレイン領域と前記第1負荷トランジスタのドレイン領域との接続に用いられ、前記第2ドレインードレイン接続層は、前記第2駆動トランジスタのドレイン領域と前記第2負荷トランジスタのドレイン領域との接続に用いられ、前記第1ドレインーゲート接続層および前記第2ドレインーゲート接続層は、前記第1ドレインードレイン接続層より上に位置し、前記第1ドレインーゲート接続層は、前記第1ドレインードレイン接続層と前記第2ゲート電極層との接続に用いられ、前記第2ドレインーゲート接続層は、前記第2ドレインードレイン接続層と前記第1ゲート電極層との接続に用いられ、前記他の半導体回路部は、前記第1ドレインードレイン接続層および前記第2ドレインード

レイン接続層と同じレベルの位置に、配線層を有さない、ことを特徴とする。

#### 【0005】

本発明は、インバータのゲートとなるゲート電極層と、インバータのドレイン同士を接続するドレインードレイン接続層と、一方のインバータのゲートと他方のインバータのドレインとを接続するドレインーゲート接続層と、を備えている。本発明の半導体装置は、三層（ゲート電極層、ドレインードレイン接続層、ドレインーゲート接続層）を用いて、フリップフロップが形成される。このため、二層を用いてフリップフロップを形成する場合に比べて、各層のパターンを単純化（例えば、直線状のパターン）することができる。このように、本発明によれば、各層のパターンを単純化できるので、例えば、メモリセルサイズが、4.5  $\mu\text{m}^2$ 以下の微細な半導体装置にすることができる。

#### 【0006】

また、本発明によれば、平面的には、第1ドレインードレイン接続層と第2ドレインードレイン接続層との間に、第1および第2ゲート電極層が位置している。このため、駆動トランジスタのソースコンタクト層をメモリセル中央部に配置することができる。さらに、ドレインードレイン接続層と同じ層にあり、ソースコンタクト層が接続される配線をメモリセル中央部に配置することができる。これらにより、第1および第2ドレインーゲート接続層形成の自由度が増すので、この点からも、メモリセルサイズの小型化に有利となる。なお、ソースコンタクト層とは、駆動トランジスタのソース領域と配線層との接続に用いられる導電層である。

#### 【0007】

また、本発明によれば、微細なメモリセルを混載しながらも、他の半導体回路部の高速化が可能となる。すなわち、後で述べるように、本発明は、第1および第2ドレインードレイン接続層に、高融点金属の窒化物層を用いる場合がある。高融点金属の窒化物層は、電気抵抗が比較的高いので、これを他の半導体回路部の配線層として用いると、他の半導体回路部の高速化を図れない。本発明は、他の半導体回路部において、第1および第2ドレインードレイン接続層と同じレベルの位置に配線層を有さないので、他の半導体回路部の高速化を図れるのである。

## 【0008】

本発明は、前記第1ドレインードレイン接続層および前記第2ドレインードレイン接続層の厚みは、それぞれ、100～170nmである、ことを特徴とする。第1および第2ドレインードレイン接続層の厚みが100nm以上だと、第1および第2ドレインードレイン接続層の電気抵抗を好ましい値にできるからである。第1および第2ドレインードレイン接続層の厚みが170nm以下だと、この上に位置する層間絶縁層の厚みが大きくなりすぎないので、この層間絶縁層に形成される孔部（例えば、スルーホール）のアスペクト比を小さく（例えば、5以下）することができる。なお、第1および第2ドレインードレイン接続層が、チタンナイトライドのような高融点金属の窒化物層を含むと、第1および第2ドレインードレイン接続層の厚みを170nm以下にすることが可能となる。

## 【0009】

本発明は、電界効果トランジスタ、第1層間絶縁層、第2層間絶縁層、配線層およびコンタクト導電部を備え、前記電界効果トランジスタは、前記他の半導体回路部に位置し、前記第1層間絶縁層は、前記メモリセル部において、前記第1ゲート電極層および前記第2ゲート電極層を覆うように位置し、前記第1層間絶縁層は、前記他の半導体回路部において、前記電界効果トランジスタのゲート電極を覆うように位置し、前記第2層間絶縁層は、前記メモリセル部において、前記第1ドレインードレイン接続層および前記第2ドレインードレイン接続層を覆うように位置し、前記第2層間絶縁層は、前記他の半導体回路部において、前記第1層間絶縁層上に位置し、前記配線層は、前記他の半導体回路部において、前記第2層間絶縁層上に位置し、前記配線層は、前記第1ドレインーゲート接続層および前記第2ドレインーゲート接続層と同じレベルの位置にあり、前記コンタクト導電部は、前記他の半導体回路部において、前記第1層間絶縁層から前記第2層間絶縁層にわたって形成された孔部に位置し、前記コンタクト導電部は、前記配線層と前記電界効果トランジスタのソース／ドレインとの接続および前記配線層と前記電界効果トランジスタのゲート電極との接続のうち、少なくともいずれか一方の接続に用いられる、ことを特徴とする。

## 【0010】

本発明によれば、第1層間絶縁層と第2層間絶縁層との間にコンタクトパッド層を形成することなく、コンタクト導電部により、配線層と電界効果トランジスタのソース／ドレインとの接続や配線層と電界効果トランジスタのゲート電極との接続を行っている。このため、他の半導体回路部の形成工程の簡略化が可能となる。

## 【0011】

本発明は、前記孔部のアスペクト比は、5以下である、ことを特徴とする。孔部のアスペクト比が5以下だと、これらの孔部にコンタクト導電部を容易に埋め込むことができる。

## 【0012】

本発明は、前記他の半導体回路部は、ロジック回路部を含む、ことを特徴とする。ロジック回路部は、高速化が要求されるからである。ロジック回路部には、例えば、ゲートアレイ、スタンダードセル、システムLSIが備えられる。

## 【0013】

本発明は、前記第1ゲート電極層、前記第2ゲート電極層、前記第1ドレインードレイン接続層、前記第2ドレインードレイン接続層は、それぞれ、直線状のパターンをし、かつ、これらは、互いに平行に配置されている、ことを特徴とする。本発明によれば、パターンが単純なので、微細なメモリセルサイズの半導体装置にすることができる。

## 【0014】

本発明は、前記第1駆動トランジスタおよび前記第2駆動トランジスタは、n型であり、前記第1負荷トランジスタおよび前記第2負荷トランジスタは、p型であり、前記第1転送トランジスタおよび前記第2転送トランジスタは、n型であり、第1層導電層、第2層導電層、第3層導電層および第4層導電層を備え、前記第1層導電層には、前記第1ゲート電極層、前記第2ゲート電極層、および副ワード線が位置し、前記第2層導電層には、前記第1ドレインードレイン接続層、前記第2ドレインードレイン接続層、電源線、第1コンタクトパッド層、第2コンタクトパッド層、および第3コンタクトパッド層が位置し、前記第3層導

電層には、前記第1ドレインーゲート接続層、前記第2ドレインーゲート接続層、主ワード線、第4コンタクトパッド層、第5コンタクトパッド層、および第6コンタクトパッド層が位置し、前記第4層導電層には、第1ビット線、第2ビット線、および接地線が位置し、前記副ワード線は、第1方向に延び、前記電源線は、前記負荷トランジスタのソース領域と接続され、前記第1コンタクトパッド層は、前記第1ビット線と前記第1転送トランジスタのソース／ドレイン領域との接続に用いられ、前記第2コンタクトパッド層は、前記第2ビット線と前記第2転送トランジスタのソース／ドレイン領域との接続に用いられ、前記第3コンタクトパッド層は、前記駆動トランジスタのソース領域を、前記接地線と接続させるのに用いられ、前記主ワード線は、第1方向に延び、前記第4コンタクトパッド層は、前記第1ビット線と前記第1転送トランジスタのソース／ドレイン領域との接続に用いられ、前記第5コンタクトパッド層は、前記第2ビット線と前記第2転送トランジスタのソース／ドレイン領域との接続に用いられ、前記第6コンタクトパッド層は、前記駆動トランジスタのソース領域を、前記接地線と接続させるのに用いられ、前記第1ビット線および前記第2ビット線は、第1方向と直角に交わる第2方向に延びる、ことを特徴とする。

#### 【0015】

本発明によれば、半導体装置に要求される様々な性能（例えば、小型化、信頼性、安定性、スピード）を、バランスよく高めることが可能となる。

#### 【0016】

##### 【発明の実施の形態】

本発明にかかる半導体装置の一実施形態について説明する。図18は、本実施形態の半導体装置1の平面図である。本実施形態の半導体装置1は、S R A M部3と、ロジック回路部5と、を同一の半導体基板に形成している。これは、一般に、メモリ混載チップと呼ばれる。まず、S R A M部3の構造の概略を説明し、それからS R A M部3の構造の詳細を説明し、そして、ロジック回路部5の構造を説明し、最後に本実施形態の主な効果を説明する。

#### 【0017】

##### 【S R A M部3の構造の概略】

本実施形態のS R A M部3は、6個のM O S電界効果トランジスタにより、一つのメモリセルが構成されるタイプである。S R A M部3の構造の概略を、メモリセルのフリップフロップを構成する部分の構造と、メモリセルの構造と、に分けて説明する。

## 【0018】

{メモリセルのフリップフロップを構成する部分の構造}

図1は、本実施形態のS R A M部3のメモリセルアレイの一部における第1層導電層、第2層導電層および第3層導電層を示す平面図である。図1の理解を容易にするため、まず、第1層導電層、第2層導電層、第3層導電層について個別に説明する。

## 【0019】

第1層導電層は、図3に示すように、ゲート電極層21a、21bおよび副ワード線23が配置されている。第2層導電層は、図5に示すように、ドレインードレイン接続層31a、31b等が配置されている。第3層導電層は、図8に示すように、ドレインーゲート接続層41a、41b等が配置されている。図3に示す構造上に、図5に示す構造が位置し、図5に示す構造上に、図8に示す構造が位置している。これを一つの図で表したのが図1である。

## 【0020】

図1には、フリップフロップを構成する部分が表れている。これを、領域Aに着目して説明する。領域Aは、一つのメモリセルが形成される領域である。他の図面の領域Aもこの意味である。

## 【0021】

領域Aには、6個のM O S電界効果トランジスタ、つまり、nチャネル型の転送トランジスタQ<sub>1</sub>、Q<sub>2</sub>、nチャネル型の駆動トランジスタQ<sub>3</sub>、Q<sub>4</sub>およびpチャネル型の負荷トランジスタQ<sub>5</sub>、Q<sub>6</sub>が形成されている。駆動トランジスタQ<sub>3</sub>と負荷トランジスタQ<sub>5</sub>とで、一つのCMOSインバータが構成されている。また、駆動トランジスタQ<sub>4</sub>と負荷トランジスタQ<sub>6</sub>とで、一つのCMOSインバータが構成されている。この二つのCMOSインバータをクロスカップルすることにより、フリップフロップが構成される。領域Aにある6個のM O S電界効果ト

ランジスタで構成される回路を、等価回路で示すと図17のようになる。

#### 【0022】

再び図1を参照して、ゲート電極層21a、およびゲート電極層21bは、それぞれ、直線状のパターンをしている。ゲート電極層21aは、駆動トランジスタ $Q_3$ および負荷トランジスタ $Q_5$ のゲート電極を構成し、さらに、これらのゲート電極同士を接続している。また、ゲート電極層21bは、駆動トランジスタ $Q_4$ および負荷トランジスタ $Q_6$ のゲート電極を構成し、さらに、これらのゲート電極同士を接続している。

#### 【0023】

駆動トランジスタ $Q_3$ のドレイン領域と負荷トランジスタ $Q_5$ のドレイン領域とは、ドレインードレイン接続層31aにより接続される。また、駆動トランジスタ $Q_4$ のドレイン領域と負荷トランジスタ $Q_6$ のドレイン領域とは、ドレインードレイン接続層31bにより接続される。ドレインードレイン接続層31aおよびドレインードレイン接続層31bは、それぞれ、直線状のパターンを有する。

#### 【0024】

駆動トランジスタ $Q_3$ および負荷トランジスタ $Q_5$ のゲート電極（ゲート電極層21a）とドレインードレイン接続層31bとは、ドレインーゲート接続層41bにより接続されている。また、駆動トランジスタ $Q_4$ および負荷トランジスタ $Q_6$ のゲート電極（ゲート電極層21b）とドレインードレイン接続層31aとは、ドレインーゲート接続層41aにより接続されている。ドレインーゲート接続層41aおよびドレインーゲート接続層41bは、それぞれ、L字状のパターンをしている。L字状のパターンの第1の辺と第2の辺とで形成される角度は、ほぼ90度である。ドレインーゲート接続層41aの第1の辺は、ドレインーゲート接続層41bの第1の辺と対向している。ドレインーゲート接続層41aの第2の辺は、ドレインーゲート接続層41bの第2の辺と対向している。ドレインーゲート接続層41aとドレインーゲート接続層41bとは、ほぼ点対称である。

#### 【0025】

ゲート電極層21a、ゲート電極層21b、ドレインードレイン接続層31a

およびドレインードレイン接続層31bは、互いに平行に配置されている。そして、平面的に見ると、ドレインードレイン接続層31aとドレインードレイン接続層31bとの間に、ゲート電極層21a、21bが位置している。

#### 【0026】

##### {メモリセルの構造}

次に、本実施形態のS RAM部3のメモリセルの構造を説明する。S RAM部3のメモリセルは、フィールド上に、第1層導電層、第2層導電層、第3層導電層、第4層導電層を、層間絶縁層を介して、順に重ねた構造をしている。フィールドは、図2に示すように、活性領域11、13、15、17と素子分離領域19とが位置する領域である。第4層導電層は、図10に示すように、ビット線51等が位置する層である。S RAM部3のメモリセルは、図2に示すフィールド上に、前述した図1に示す第1層導電層、第2層導電層、第3層導電層が位置し、そして、この上に、図10に示す第4層導電層が位置する構造をしている。

#### 【0027】

##### [S RAM部3の構造の詳細]

本実施形態のS RAM部3の構造の詳細を、下層から順に、図2～図15を用いて説明する。なお、図2～図13には、B1-B2線、C1-C2線が記載されている。B1-B2線に沿った断面を示すのが図14であり、C1-C2線に沿った断面を示すのが図15である。

#### 【0028】

##### {フィールド、第1層導電層}

図11は、フィールドおよび第1層導電層を示す平面図である。まず、フィールドについて、図2、図14および図15を用いて説明する。図2は、フィールドを示す平面図である。フィールドは、活性領域11、13、15、17および素子分離領域19を有する。活性領域11、13、15、17は、シリコン基板の表面に形成されている。

#### 【0029】

活性領域11は、ほぼ口の字型をしている。複数の活性領域11が、図2中、x軸方向に並んでいる。活性領域11には、図1に示す転送トランジスタQ<sub>1</sub>、

$Q_2$ 、駆動トランジスタ $Q_3$ 、 $Q_4$ が形成される。

#### 【0030】

活性領域13は、ほぼ工の字型をしている。複数の活性領域13が、図2中、x軸方向に並んでいる。活性領域13には、図1に示す負荷トランジスタ $Q_5$ 、 $Q_6$ が形成される。

#### 【0031】

活性領域15は、例えば、x方向に並ぶ32メモリセル毎に一つが形成される。活性領域15には、nウェルのウェルコンタクト領域が形成される。よって、32メモリセル分に対応するnウェルが、このウェルコンタクト領域を介して、 $V_{DD}$ 配線（電源線）と接続される。

#### 【0032】

活性領域17は、y方向に並ぶ2メモリセル毎に一つが形成される。活性領域17には、pウェルのウェルコンタクト領域が形成される。よって、2メモリセル分に対応するpウェルが、このウェルコンタクト領域を介して、 $V_{SS}$ 配線（接地線）と接続される。

#### 【0033】

活性領域11、13、15、17は、それぞれ、素子分離領域19（深さ、例えば、400nm）により、他の活性領域から分離されている。素子分離領域19としては、例えば、STI（shallow trench isolation）がある。

#### 【0034】

図2に示すフィールドのB1-B2断面、C1-C2断面は、それぞれ、図14、図15に示すとおりである。これらの断面には、活性領域11、13や素子分離領域19が表れている。

#### 【0035】

次に、フィールド上に位置する第1層導電層について、図3、図11、図14および図15を用いて説明する。図3は、第1層導電層を示す平面図であり、第1層導電層には、複数のゲート電極層21a、21bおよび複数の副ワード線23が配置されている。ゲート電極層21a、21bおよび副ワード線23は、例えば、ポリシリコン層上にシリサイド層を形成した構造を有する。

## 【0036】

ゲート電極層21a、21bは、それぞれ、図3中、y軸方向に延びた直線状のパターンを有する。一組のゲート電極層21a、21bが、互いに平行に、一つのメモリセル領域に配置される。ゲート電極層21a、21bは、図1に示す駆動トランジスタQ<sub>3</sub>、Q<sub>4</sub>、負荷トランジスタQ<sub>5</sub>、Q<sub>6</sub>のゲート電極となる。駆動トランジスタQ<sub>3</sub>、Q<sub>4</sub>のゲート長は、例えば、0.18μmである。負荷トランジスタQ<sub>5</sub>、Q<sub>6</sub>のゲート長は、例えば、0.20μmである。

## 【0037】

副ワード線23は、直線状のパターンを有し、図3中、x軸方向に延びている。副ワード線23は、駆動トランジスタ側に位置している。副ワード線23は、上層に位置する主ワード線によって活性化／非活性化される。副ワード線23は、転送トランジスタのゲート電極となる。転送トランジスタのゲート長は、例えば、0.24μmである。

## 【0038】

図3に示す第1層導電層のB1-B2断面、C1-C2断面は、それぞれ、図14、図15に示すとおりである。これらの断面には、副ワード線23やゲート電極層21bが表れている。

## 【0039】

次に、活性領域に形成されるソース／ドレイン領域等について説明する。図11に示すように、活性領域11には、n<sup>+</sup>型ソース／ドレイン領域11aが形成される。ソース／ドレイン領域とは、ソースおよびドレインのうち、少なくとも一方の機能を果たす領域という意味である。活性領域15には、n<sup>+</sup>型ウェルコンタクト領域15aが形成される。活性領域17には、p<sup>+</sup>型ウェルコンタクト領域17aが形成される。

## 【0040】

フィールドおよび第1層導電層を覆うように、例えば、シリコン酸化層のような層間絶縁層（図11中には図示せず）が形成されている。図14および図15に示すように、この層間絶縁層65は、CMPにより平坦化の処理がなされている。層間絶縁層65には、n<sup>+</sup>型ソース／ドレイン領域11a等を露出する複数

のコンタクトホール63が形成されている。これらのコンタクトホール63には、コンタクト導電部61が埋め込まれている。

## 【0041】

コンタクト導電部61は、コンタクトホール63に埋め込まれたプラグ60と、コンタクトホール63の底面上および側面上に位置する高融点金属の窒化物層62と、を含む。プラグ60の材料としては、例えば、タンゲステンがある。高融点金属の窒化物層62の材料としては、例えば、チタンナイトライドがある。高融点金属の窒化物層62は、主にバリア層として機能する。コンタクトホール63の上端部の径は、例えば、0.30μmであり、下端部の径は、例えば、0.24μmである。

## 【0042】

コンタクト導電部61の平面パターンを図で示すと、図4のとおりである。図11に示すように、コンタクト導電部61は、 $n^+$ 型ソース／ドレイン領域11a、 $p^+$ 型ソース／ドレイン領域13a、 $n^+$ 型ウェルコンタクト領域15a、 $p^+$ 型ウェルコンタクト領域17aに接続されている。

## 【0043】

## {第2層導電層}

第2層導電層は、図11に示す構造上に位置する。第2層導電層は、図5に示すように、複数のドレインードレイン接続層31a、31b、V<sub>DD</sub>配線33、複数のBL（ビット線、ビット線／）コンタクトパッド層35a、35b、複数のV<sub>SS</sub>局所配線37が配置されている。これらは、例えば、高融点金属からなる金属層（厚さ例えば、8.5nm）上に、高融点金属の窒化物層（厚さ例えば、135nm）を形成した構造を有する。高融点金属からなる金属層は、下敷きとなり、例えば、チタン層がある。高融点金属の窒化物層は、例えば、チタンナイトライド層がある。なお、第2層導電層の構成は、高融点金属の窒化物層のみでもよい。

## 【0044】

ドレインードレイン接続層31a、31bから説明する。ドレインードレイン接続層31a、31bは、それぞれ、図5中、y軸方向に延びた直線状のパー

ンを有する。ドレインードレイン接続層31aの本体部31a3の幅は、ドレインードレイン接続層31aの端部31a1、31a2の幅より小さい。同様に、ドレインードレイン接続層31bの本体部31b3の幅は、ドレインードレイン接続層31bの端部31b1、31b2の幅より小さい。本体部31a3、31b3の幅の値は、設計ルール上の最小値である。一組のドレインードレイン接続層31a、31bが、一つのメモリセル領域に配置される。

#### 【0045】

$V_{SS}$ 局所配線37は、端部および、図5中、y軸方向に延びた本体部を有する。 $V_{SS}$ 局所配線37の端部の幅は、 $V_{SS}$ 局所配線37の本体部の幅より大きい。 $V_{SS}$ 局所配線37は、ドレインードレイン接続層31aの端部31a2とドレインードレイン接続層31bの端部31b2との間に位置する。そして、この位置から、 $V_{SS}$ 局所配線37は、図5中、下に位置するメモリセルのドレインードレイン接続層31aの端部31a2とドレインードレイン接続層31bの端部31b2との間にまで延びている。 $V_{SS}$ 局所配線37は、二つのメモリセルにつき、一つが配置される。

#### 【0046】

BLコンタクトパッド層35aは、ビット線と $n^+$ 型ソース／ドレイン領域11a（図11参照）とを接続するためのパッド層として機能する。同様に、BLコンタクトパッド層35bは、ビット線／と $n^+$ 型ソース／ドレイン領域11aとを接続するためのパッド層として機能する。

#### 【0047】

BLコンタクトパッド層35aは、一メモリセルのドレインードレイン接続層31aと、図5中、その下にあるメモリセルのドレインードレイン接続層31aとの間に位置する。同様に、BLコンタクトパッド層35bは、一メモリセルのドレインードレイン接続層31bと、図5中、その下にあるメモリセルのドレインードレイン接続層31bとの間に位置する。BLコンタクトパッド層35a、35bは、二つのメモリセルにつき、それぞれ、一つが配置される。

#### 【0048】

$V_{DD}$ 配線33は、図5中、x軸方向に延びた直線状のパターンを有する。 $V_{DD}$

配線33は、 $n^+$ 型ウェルコンタクト領域15a（図11参照）と立体的に交差するように延びている。 $V_{DD}$ 配線33は、 $n^+$ 型ウェルコンタクト領域15aの上方に、分岐部33a、33bを有する。

#### 【0049】

図5に示す第2層導電層に位置するドレインードレイン接続層31a、31b、 $V_{DD}$ 配線33、BLコンタクトパッド層35a、35b、 $V_{SS}$ 局所配線37は、図11に示すコンタクト導電部61と接続されている。この接続を、図5ではコンタクト部61mで表す。

#### 【0050】

図5に示す第2層導電層のB1-B2断面は、図14に示すとおりである。この断面には、ドレインードレイン接続層31b、BLコンタクトパッド層35bが表れている。第2層導電層は、先程説明したように、高融点金属からなる金属層30と、高融点金属からなる金属層30上に位置する高融点金属の窒化物層32と、を備える。

#### 【0051】

第2層導電層を覆うように、例えば、シリコン酸化層のような層間絶縁層（図5中には図示せず）が形成されている。図14および図15に示すように、この層間絶縁層71は、CMPにより平坦化の処理がなされている。図14に示すように、層間絶縁層71には、ドレインードレイン接続層31b等を露出する複数のスルーホール79が形成されている。スルーホール79には、コンタクト導電部75が埋め込まれている。また、図15に示すように、層間絶縁層71、65には、ゲート電極層21bを露出するスルーホール77が形成されている。スルーホール77には、コンタクト導電部73が埋め込まれている。コンタクト導電部73、75と第2層導電層との平面的関係を図示したのが図12である。

#### 【0052】

コンタクト導電部73について説明する。コンタクト導電部73の平面パターンは、図6に示すとおりである。コンタクト導電部73は、ゲート電極層21a、21b（図3参照）に、接続されている。コンタクト導電部73の断面を、図15を用いて説明する。コンタクト導電部73は、二つの層間絶縁層65、71

を貫通するスルーホール77に埋め込まれている。この断面において、コンタクト導電部73は、ゲート電極層21bと接続されている。コンタクト導電部73は、スルーホール77に埋め込まれたプラグ70と、スルーホール77の底面上および側面上に位置する高融点金属の窒化物層72と、を含む。プラグ70の材料としては、例えば、タンゲステンがある。高融点金属の窒化物層72の材料としては、例えば、チタンナイトライドがある。高融点金属の窒化物層72は、主にバリア層として機能する。スルーホール77の上端部の径は、例えば、0.32 μmであり、下端部の径は、例えば、0.24 μmである。

#### 【0053】

コンタクト導電部75について説明する。コンタクト導電部75の平面パターンは、図7に示すとおりである。コンタクト導電部75は、図12に示すように、ドレインードレイン接続層31aの端部31a1、ドレインードレイン接続層31bの端部31b2、V<sub>DD</sub>配線33の分岐部33a、33b、BLコンタクトパッド層35a、35b、V<sub>SS</sub>局所配線37に接続されている。コンタクト導電部75の断面を、図14を用いて説明する。コンタクト導電部75は、層間絶縁層71を貫通するスルーホール79に埋め込まれている。この断面において、コンタクト導電部75は、ドレインードレイン接続層31b、BLコンタクトパッド層35bと接続されている。コンタクト導電部75の構成要素は、コンタクト導電部61、73と同じである。スルーホール79の上端部の径は、例えば、0.30 μmであり、下端部の径は、例えば、0.24 μmである。

#### 【0054】

##### {第3層導電層}

第3層導電層は、図12に示す構造上に位置する。第3層導電層は、図8に示すように、複数のドレインーゲート接続層41a、41b、主ワード線43、複数のBLコンタクトパッド層45a、45b、複数のV<sub>SS</sub>コンタクトパッド層47、複数のV<sub>DD</sub>コンタクトパッド層49が配置されている。

#### 【0055】

ドレインーゲート接続層41aは、本体部41a3と二つの端部41a1、41a2とを有する。本体部41a3は、図8中、x軸方向に延びている部分であ

る。端部41a1は、ドレインゲート接続層41b側に曲がっている部分である。同様に、ドレインゲート接続層41bは、本体部41b3と二つの端部41b1、41b2とを有する。本体部41b3は、図8中、x軸方向に延びている部分である。端部41b1は、ドレインゲート接続層41a側に曲がっている部分である。一組のドレインゲート接続層41a、41bが、一つのメモリセル領域に配置される。

#### 【0056】

BLコンタクトパッド層45aは、ビット線とn<sup>+</sup>型ソース／ドレン領域11aとを接続するためのパッド層として機能する。同様に、BLコンタクトパッド層45bは、ビット線／とn<sup>+</sup>型ソース／ドレン領域11aとを接続するためのパッド層として機能する。BLコンタクトパッド層45a、45bは、二つのメモリセルにつき、それぞれ、一つが配置される。

#### 【0057】

V<sub>SS</sub>コンタクトパッド層47は、図8中、y軸方向に延び、二つの端部を有する。V<sub>SS</sub>コンタクトパッド層47は、BLコンタクトパッド層45aとBLコンタクトパッド層45bとの間に位置する。V<sub>SS</sub>コンタクトパッド層47は、二つのメモリセルにつき、一つが配置される。

#### 【0058】

主ワード線43は、図8中、x軸方向に、直線状に延びている。主ワード線43は、図5に示すV<sub>DD</sub>配線33の上方に位置する。V<sub>DD</sub>コンタクトパッド層49は、図5に示すV<sub>DD</sub>配線33の分岐部33a、33bの上方に位置する。なお、本実施形態では、ワード線を副ワード線23（図3参照）と主ワード線43（図8参照）からなる構造としているが、主ワード線を設けない構造でもよい。

#### 【0059】

ドレインゲート接続層41aの端部41a1、ドレインゲート接続層41bの端部41b1は、それぞれ、図12に示すコンタクト導電部73と接続されている。この接続を、図8ではコンタクト部73mで表す。また、ドレインゲート接続層41aの端部41a2、ドレインゲート接続層41bの端部41b2、BLコンタクトパッド層45a、45b、V<sub>SS</sub>コンタクトパッド層47、V

DDコンタクトパッド層4 9は、図12に示すコンタクト導電部7 5と接続されている。この接続を、図8ではコンタクト部7 5 mで表す。

## 【0060】

図8に示す第3層のB1-B2断面、C1-C2断面は、それぞれ、図14、図15に示すとおりである。この断面には、ドレインゲート接続層41a、41b、BLコンタクトパッド層45b、主ワード線43が表れている。これらを含む第3層導電層は、例えば、下から順に、高融点金属の窒化物層42、金属層44、高融点金属からなる金属層46、高融点金属の窒化物層48が積層された構造を有する。各層の具体例は、次のとおりである。高融点金属の窒化物層42としては、例えば、チタンナイトライド層がある。金属層44としては、例えば、アルミニウム層、銅層または、これらの合金層がある。高融点金属からなる金属層46としては、例えば、チタン層がある。高融点金属の窒化物層48としては、例えば、チタンナイトライド層がある。

## 【0061】

第3層導電層上には、シリコン酸化層からなるハードマスク層40が形成されている。ハードマスク層40をマスクとして、第3層の導電層のパターンニングがなされる。これは、メモリセルの小型化により、レジストのみをマスクとして、第3層導電層のパターンニングをするのが困難だからである。

## 【0062】

第3層導電層を覆うように、例えば、シリコン酸化層のような層間絶縁層が形成されている。図14および図15に示すように、この層間絶縁層85は、CMPにより平坦化の処理がなされている。層間絶縁層85には、BLコンタクトパッド層45a等が露出するスルーホール83が形成されている。スルーホール83には、コンタクト導電部81が埋め込まれている。これを図示した平面図が図13である。コンタクト導電部81は、図13に示すように、BLコンタクトパッド層45a、45b、V<sub>SS</sub>コンタクトパッド層47、V<sub>DD</sub>コンタクトパッド層49に接続されている。コンタクト導電部81の平面パターンは、図9に示すとおりである。コンタクト導電部81の構成要素は、コンタクト導電部61、73、75と同じである。スルーホール83の上端部の径は、例えば、0.36μm

であり、下端部の径は、例えば、0.28 μmである。

#### 【0063】

##### 〔第4層導電層〕

第4層導電層は、図13に示す構造上に位置する。第4層導電層は、図10に示すように、複数のビット線51、複数のビット線／53、複数のV<sub>SS</sub>配線55、V<sub>DD</sub>配線57が配置されている。V<sub>SS</sub>配線55は、ビット線51とビット線／53との間であって、メモリセル中央に配置されている。V<sub>DD</sub>配線57は、x方向に並ぶ、例えば、32メモリセル毎に一本が配置されている。これらは、図10中、y軸方向に、直線状に延びている。これらは、それぞれ、図13に示すコンタクト導電部81と接続されている。この接続を、図10ではコンタクト部81mで表す。ビット線51等は、例えば、下から順に、チタンナイトライド層、アルミニウムー銅合金層、チタンナイトライド層が積層された構造を有する。

#### 【0064】

図10に示す第4層のB1-B2断面は、図14に示すとおりである。この断面には、ビット線／53が表れている。ビット線／53には、ビット線51に流れる信号と相補の信号が流れる。以上が本実施形態の構造の詳細である。

#### 【0065】

なお、図1～図13に示されているパターンは、設計パターンである。これらのパターンは角部を有する。しかし、実際に半導体基板上に形成されるパターンは、光の近接効果により、角部を規定する線が曲線になっている。

#### 【0066】

##### 〔ロジック回路部5の構造〕

図16は、SRAM部3の一部およびロジック回路部5の一部の断面図である。SRAM部3の一部の断面は、図14に示す断面のことである。但し、図16においては、詳細な構造を省略している。SRAM部3の一部の断面もあらわしたのは、ロジック回路部5の各層とSRAM部3の各層との対応関係を説明するためである。ロジック回路部5における符号が示す要素のうち、SRAM部3における符号が示す要素と同じものについては、同一符号を付している。

#### 【0067】

ロジック回路部5とSRAM部3とは、同一のシリコン基板上に形成されている。ロジック回路部5には、MOS電界効果トランジスタ100があらわれている。ロジック回路部5には、この回路の機能を実現するのに必要な素子が形成される。MOS電界効果トランジスタ100は、ゲート電極25と、一対のn<sup>+</sup>型ソース／ドレイン領域11aと、を備える。ゲート電極25は、副ワード線23と同じ層に位置している。ゲート電極25は、副ワード線23と一緒に形成されるので、ゲート電極25の構成要素は、副ワード線23と同じである。ゲート電極25を覆うように、層間絶縁層65が位置している。

#### 【0068】

ロジック回路部5において、層間絶縁層65上には、配線層が形成されていない。層間絶縁層65上に層間絶縁層71が位置している。層間絶縁層65および層間絶縁層71を貫通するように、二つのコンタクトホール87が形成されている。コンタクトホール87の一方は、n<sup>+</sup>型ソース／ドレイン領域11aの一方に到達している。コンタクトホール87の他方は、n<sup>+</sup>型ソース／ドレイン領域11aの他方に到達している。コンタクトホール87は、図15に示すスルーホール77と一緒に形成される。なお、図示はされていないが、層間絶縁層65および層間絶縁層71を貫通し、ゲート電極25へ到達するコンタクトホールも形成されている。このコンタクトホールはコンタクトホール87と一緒に形成される。

#### 【0069】

コンタクトホール87の上端部の径は、例えば、0.32μmであり、下端部の径は、例えば、0.22μmであり、深さは、1.0μmである。コンタクトホール87のアスペクト比（コンタクトホール87の深さ／コンタクトホール87の下端部の径）は、約4.5である。コンタクトホール87には、コンタクト導電部89が埋め込まれている。コンタクト導電部89は、図15に示すコンタクト導電部73と一緒に形成されるので、コンタクト導電部89の構成要素は、コンタクト導電部73と同じである。

#### 【0070】

層間絶縁層71上には、第1層配線層90や配線コンタクトパッド91が位置

している。配線コンタクトパッドとは、配線層と $n^+$ 型ソース／ドレイン領域11aとの接続に用いられる導電層である。配線コンタクトパッド91は、一方のコンタクト導電部89と接続されている。第1層配線層90は、他方のコンタクト導電部89と接続されている。第1層配線層90および配線コンタクトパッド91は、ドレインーゲート接続層41bやBLコンタクトパッド層45bと同じ層に位置している。第1層配線層90および配線コンタクトパッド91は、ドレインーゲート接続層41bやBLコンタクトパッド層45bと同時に形成されるので、第1層配線層90および配線コンタクトパッド91の構成要素は、ドレインーゲート接続層41bやBLコンタクトパッド層45bと同じである。

#### 【0071】

第1層配線層90および配線コンタクトパッド91を覆うように、層間絶縁層85が位置している。層間絶縁層85中には、二つのコンタクト導電部81が形成されている。一方のコンタクト導電部81は、配線コンタクトパッド91と接続されている。他方のコンタクト導電部81は、第1層配線層90と接続されている。

#### 【0072】

層間絶縁層85上には、第2層配線層92や配線コンタクトパッド93が位置している。配線コンタクトパッド93は、一方のコンタクト導電部81と接続されている。第2層配線層92は、他方のコンタクト導電部81と接続されている。第2層配線層92および配線コンタクトパッド93は、ビット線／53と同じ層に位置している。第2層配線層92および配線コンタクトパッド93は、ビット線／53と同時に形成されるので、第2層配線層92および配線コンタクトパッド93の構成要素は、ビット線／53と同じである。

#### 【0073】

第2層配線層92、配線コンタクトパッド93およびビット線／53を覆うように、層間絶縁層94が位置している。層間絶縁層94の構成要素は、層間絶縁層85と同じである。層間絶縁層94中には、コンタクト導電部95が形成されている。コンタクト導電部95は、配線コンタクトパッド93と接続されている。コンタクト導電部95の構成要素は、コンタクト導電部と同じである。層間絶

縁層94上には、第3層配線層96が位置している。第3層配線層96は、コンタクト導電部95と接続されている。第3層配線層96の構成要素は、第2層配線層92と同じである。

## 【0074】

なお、ロジック回路部5の配線構成として、第3層配線層96およびコンタクト導電部95を設けない構成でもよいし、また、第3層配線層96の他、第4層配線層や第5層配線層を設ける構成でもよい。

## 【0075】

## 〔本実施形態の主な効果〕

本実施形態の主な効果を説明する。

## 【0076】

{1} 本実施形態によれば、S R A M部のメモリセルの小型化を図ることができる。本実施形態では、メモリセルのフリップフロップで情報の記憶を行う。フリップフロップは、一方のインバータの入力端子（ゲート電極）を他方のインバータの出力端子（ドレイン）に接続し、かつ他方のインバータの入力端子（ゲート電極）を一方のインバータの出力端子（ドレイン）に接続することにより、構成される。つまり、フリップフロップは、第1のインバータと第2のインバータをクロスカップル接続したものである。フリップフロップを二層で作製する場合、例えば、インバータのドレイン同士を接続するドレインードレイン接続層と、インバータのゲートとインバータのドレインを接続するドレインーゲート接続層と、を一つの導電層にすることにより、クロスカップル接続ができる。

## 【0077】

しかし、この構造によれば、この導電層は、一方のインバータのドレインが位置する領域と、他方のインバータのゲートが位置する領域と、これらを連結する領域と、にわたって形成される。よって、この導電層は、三つ端部を有するパターン（例えば、T字状やh字状のような分岐部を有するパターン）や、互いに腕部分が入り込み合った渦巻き状のパターンとなる。なお、T字状のパターンとしては、例えば、特開平10-41409号公報の図1に開示されている。h字状のパターンとしては、例えば、M. Ishida, et.al., I E D M Tech. Digest(199

8)、第201頁の図4 (b) に開示されている。渦巻き状のパターンとしては、例えば、M. Ishida, et.al., IEDM Tech. Digest(1998)、第201頁の図3 (b) に開示されている。このような複雑なパターンは、パターンが微細化すると、フォトエッチング工程での正確な形状再現が困難となるので、所望のパターンが得られず、メモリセルサイズの小型化の妨げとなる。

## 【0078】

本実施形態によれば、図1に示すように、CMOSインバータのゲートとなるゲート電極層(21a、21b)、CMOSインバータのドレイン同士を接続するドレインードレイン接続層(31a、31b)、一方のCMOSインバータのゲートと他方のCMOSインバータのドレインとを接続するドレインーゲート接続層(41a、41b)を、それぞれ、異なる層に形成している。したがって、フリップフロップを形成するのに、三層が用いられる事になる。よって、二層を用いてフリップフロップを形成する場合に比べて、各層のパターンを単純化(例えば、直線状に)することができる。このように、本実施形態によれば、各層のパターンを単純化できるので、例えば、0.18μm世代において、メモリセルサイズが、4.5μm<sup>2</sup>以下の微細なSRAMにすることができる。

## 【0079】

(2) 本実施形態によれば、ロジック回路部5の高速化が可能となる。すなわち、図16に示すように、本実施形態は、ドレインードレイン接続層31a、31bに、高融点金属の窒化物層(チタンナイトライド層)を用いている。高融点金属の窒化物層は、電気抵抗が比較的高い。このため、高融点金属の窒化物層をロジック回路部5の配線層として用いると、ロジック回路部5の高速化を図れない。通常、同じレベルに位置する層は、同一の工程で作製される。ロジック回路部5において、ドレインードレイン接続層31a、31bと同じレベルの位置に配線層を有すると、配線層は高融点金属の窒化物層となる。本実施形態は、ロジック回路部5において、ドレインードレイン接続層31a、31bと同じレベルの位置に配線層を有さないので、ロジック回路部5の高速化を図れるのである。

## 【0080】

また、ロジック回路部5のコンタクトホール87に埋め込まれるコンタクト導電部89は、例えば、タンクステンプラグである。一方、SRAM部3において、コンタクト導電部61とコンタクト導電部75との間には、高融点金属の窒化物層からなるコンタクトパッド層35bが介在している。一般に、コンタクトパッド層を介しない構造のほうが、コンタクトパッド層を介する構造よりも、コンタクト抵抗が低い。この点からもロジック回路部5の高速化を図ることができる。

【図面の簡単な説明】

【図1】

本実施形態のSRAM部のメモリセルアレイの一部における第1層導電層、第2層導電層および第3層導電層を示す平面図である。

【図2】

本実施形態のSRAM部のメモリセルアレイの一部におけるフィールドを示す平面図である。

【図3】

本実施形態のSRAM部のメモリセルアレイの一部における第1層導電層を示す平面図である。

【図4】

本実施形態のSRAM部のメモリセルアレイの一部におけるコンタクト導電部61を示す平面図である。

【図5】

本実施形態のSRAM部のメモリセルアレイの一部における第2層導電層を示す平面図である。

【図6】

本実施形態のSRAM部のメモリセルアレイの一部におけるコンタクト導電部73を示す平面図である。

【図7】

本実施形態のSRAM部のメモリセルアレイの一部におけるコンタクト導電部75を示す平面図である。

【図8】

本実施形態のS R A M部のメモリセルアレイの一部における第3層導電層を示す平面図である。

【図9】

本実施形態のS R A M部のメモリセルアレイの一部におけるコンタクト導電部81を示す平面図である。

【図10】

本実施形態のS R A M部のメモリセルアレイの一部における第4層導電層を示す平面図である。

【図11】

本実施形態のS R A M部における、フィールド、第1層導電層、コンタクト導電部61を示す平面図である。

【図12】

本実施形態のS R A M部における、第2層導電層、コンタクト導電部73、75を示す平面図である。

【図13】

本実施形態のS R A M部における、第3層導電層、コンタクト導電部81を示す平面図である。

【図14】

本実施形態のS R A M部の平面のB1-B2線に沿った断面図である。

【図15】

本実施形態のS R A M部の平面のC1-C2線に沿った断面図である。

【図16】

本実施形態におけるS R A M部の一部およびロジック回路部の一部の断面図である。

【図17】

本実施形態におけるS R A Mの等価回路図である。

【図18】

本実施形態における半導体装置の平面図である。

## 【符号の説明】

- 1 半導体装置  
 3 S R A M部  
 5 ロジック回路部  
 11、13、15、17 活性領域  
 11a n<sup>+</sup>型ソース／ドレイン領域  
 13a p<sup>+</sup>型ソース／ドレイン領域  
 15a n<sup>+</sup>型ウェルコンタクト領域  
 17a p<sup>+</sup>型ウェルコンタクト領域  
 19 素子分離領域  
 21a、21b ゲート電極層  
 23 副ワード線  
 25 ゲート電極  
 30 高融点金属からなる金属層  
 31a、31b ドレインードレイン接続層  
 31a1、31a2、31b1、31b2 端部  
 31a3、31b3 本体部  
 32 高融点金属の窒化物層  
 33 V<sub>DD</sub>配線  
 33a、33b 分岐部  
 35a、35b B Lコンタクトパッド層  
 37 V<sub>SS</sub>局所配線  
 40 ハードマスク層  
 41a、41b ドレインーゲート接続層  
 41a1、41a2、41b1、41b2 端部  
 41a3、41b3 本体部  
 42 高融点金属の窒化物層  
 43 主ワード線  
 44 金属層

4 5 a、4 5 b BLコンタクトパッド層

4 6 高融点金属からなる金属層

4 7 V<sub>SS</sub>コンタクトパッド層

4 8 高融点金属の窒化物層

4 9 V<sub>DD</sub>コンタクトパッド層

5 1 ビット線

5 3 ビット線／

5 5 V<sub>SS</sub>配線

5 7 V<sub>DD</sub>配線

6 0 プラグ

6 1 コンタクト導電部

6 1 m コンタクト部

6 2 高融点金属の窒化物層

6 3 コンタクトホール

6 5 層間絶縁層

7 0 プラグ

7 1 層間絶縁層

7 2 高融点金属の窒化物層

7 3 コンタクト導電部

7 3 m コンタクト部

7 5 コンタクト導電部

7 5 m コンタクト部

7 7、7 9 スルーホール

8 1 コンタクト導電部

8 1 m コンタクト部

8 3 スルーホール

8 5 層間絶縁層

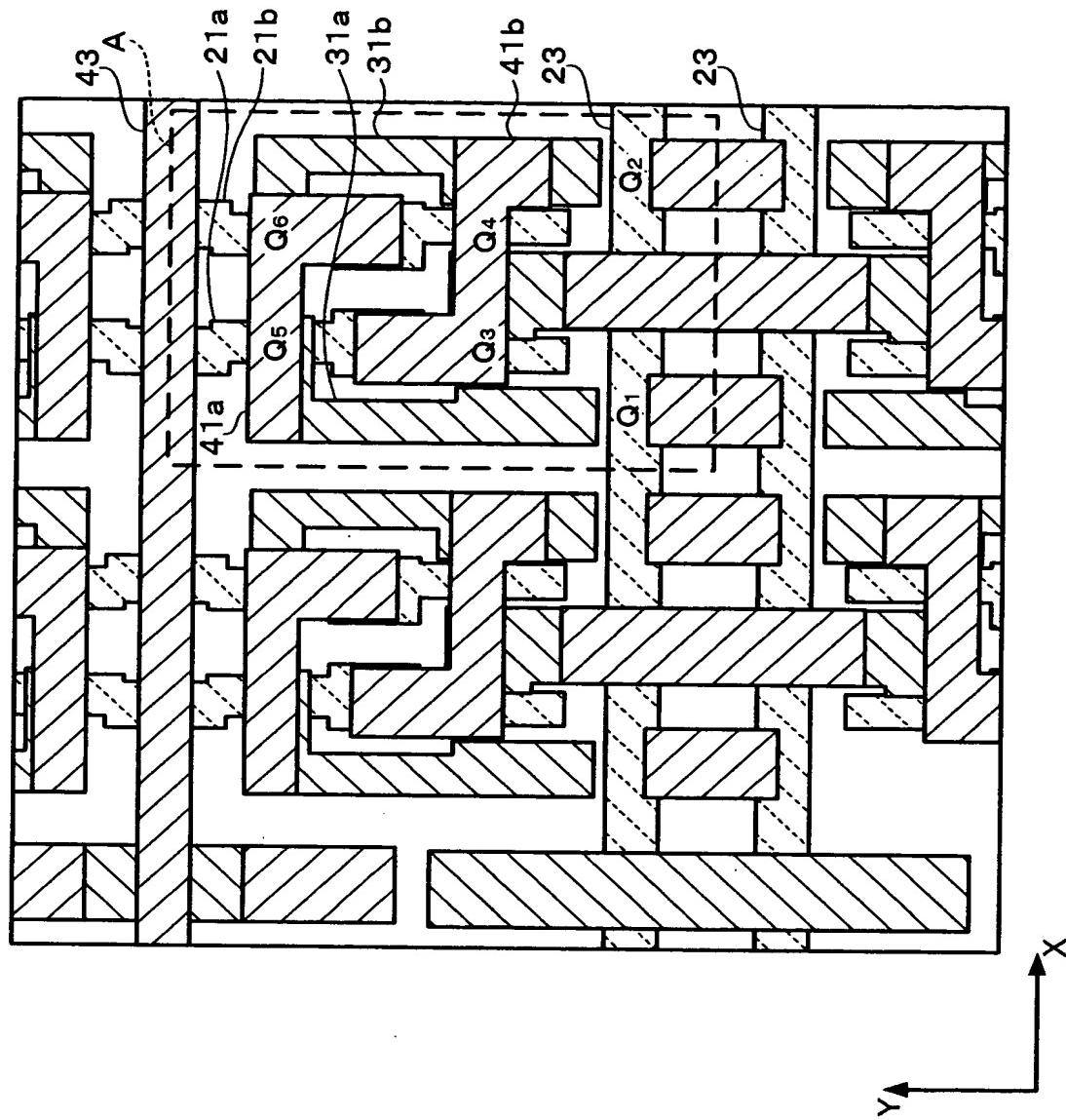
8 7 コンタクトホール

8 9 コンタクト導電部

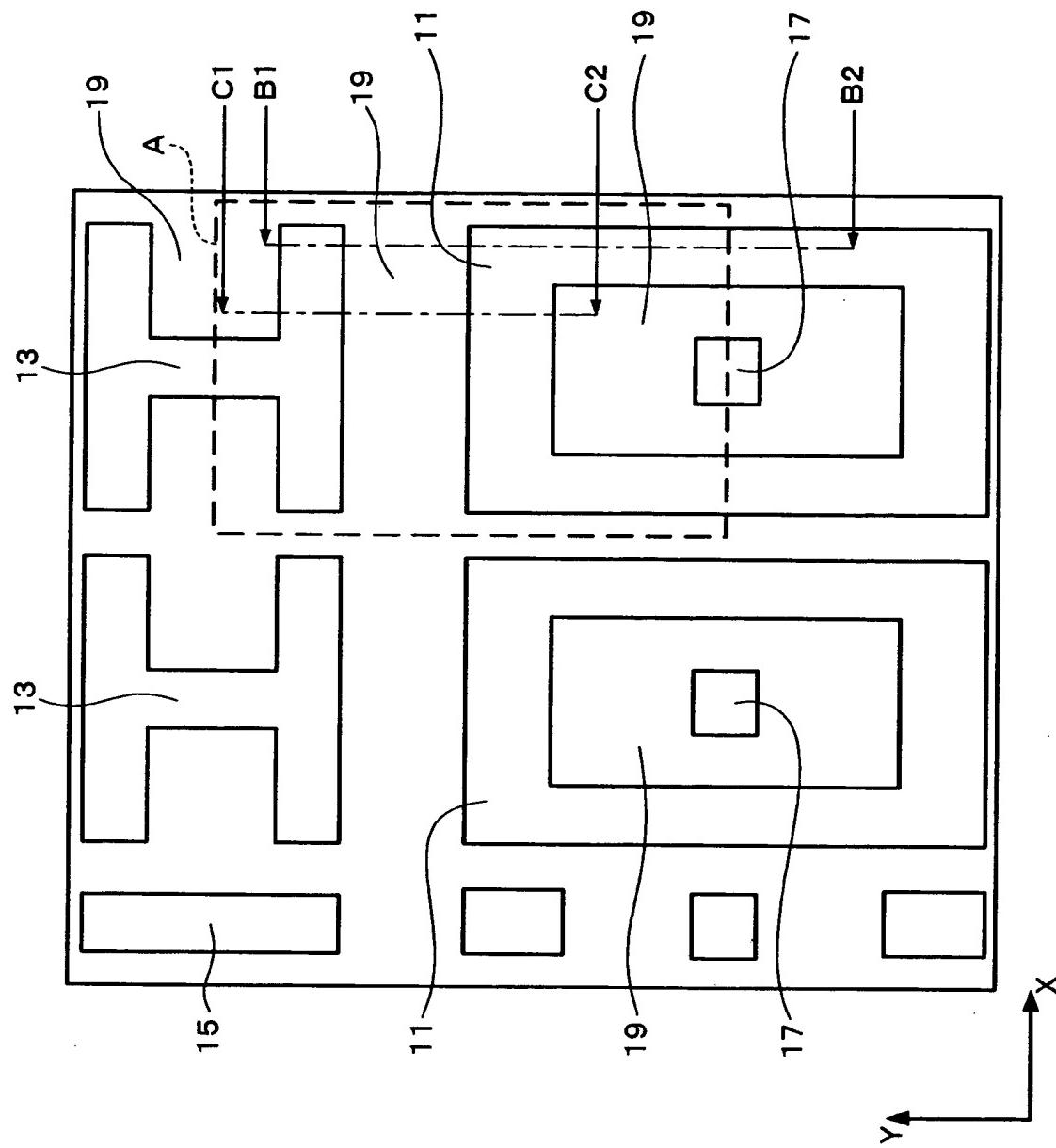
- 9 0 第1層配線層
  - 9 1 配線コンタクトパッド層
  - 9 2 第2層配線層
  - 9 3 配線コンタクトパッド層
  - 9 4 層間絶縁層
  - 9 5 コンタクト導電部
  - 9 6 第3層配線層
- 100 MOS電界効果トランジスタ

【書類名】 図面

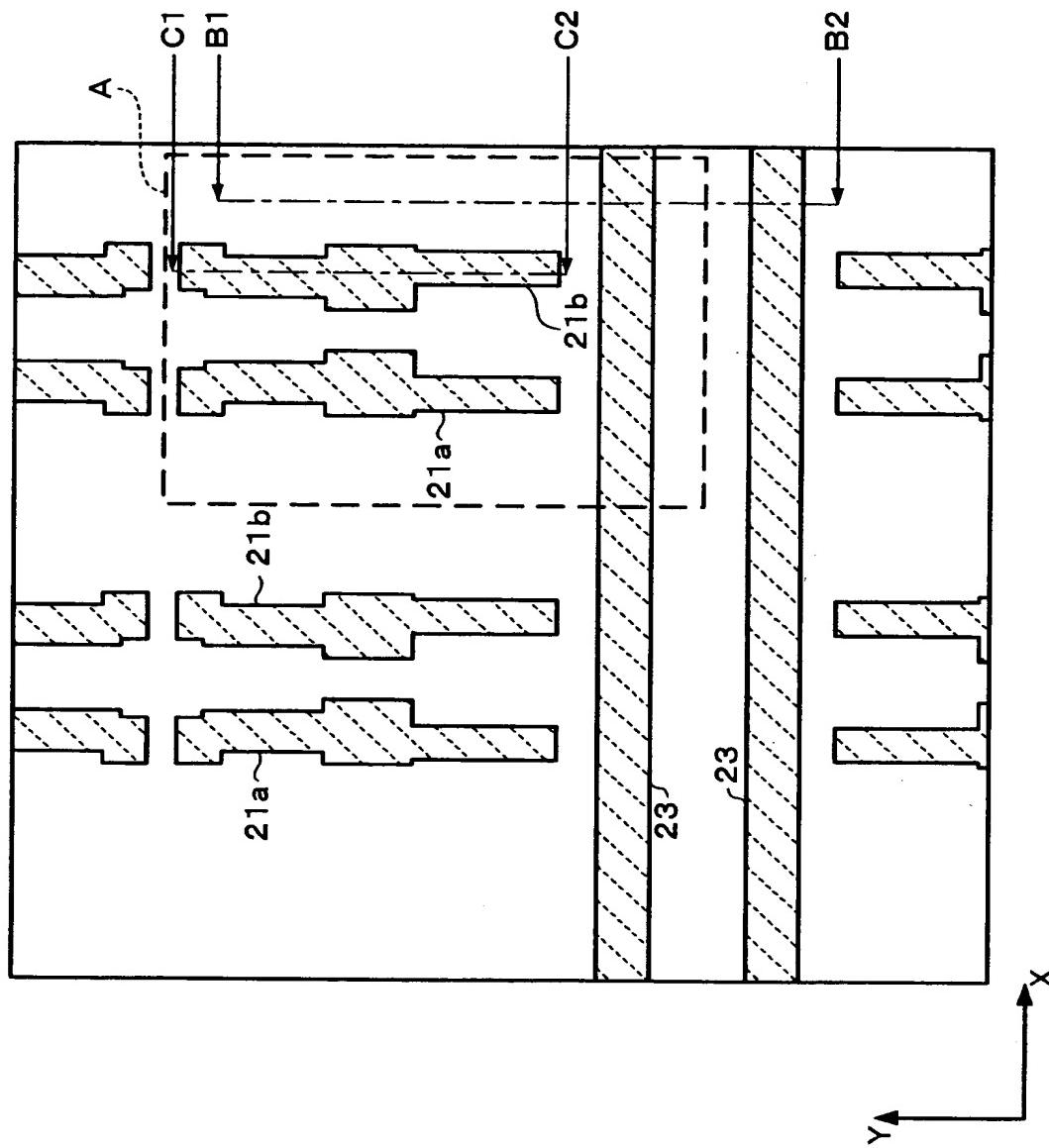
【図1】



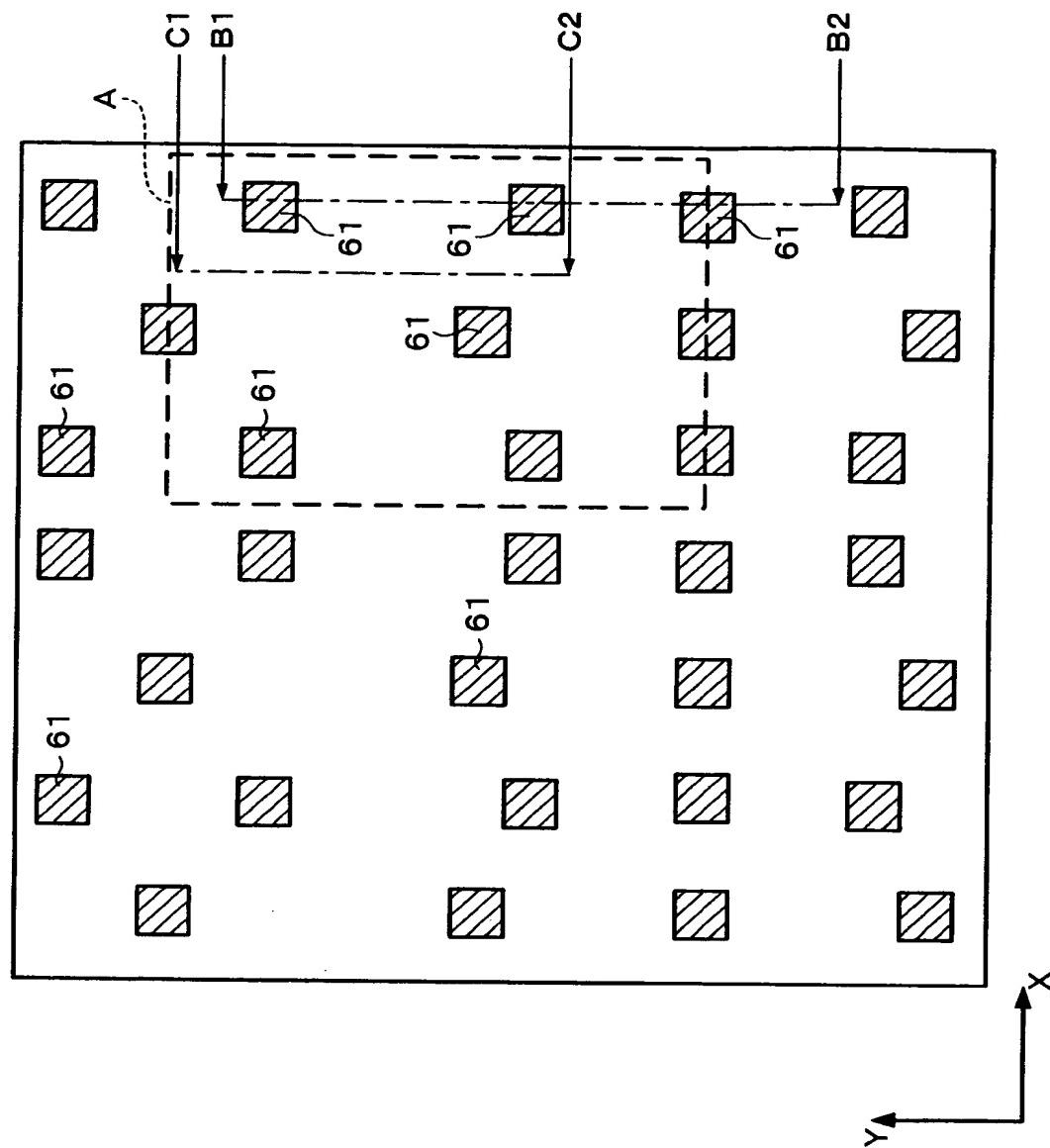
## 【図2】



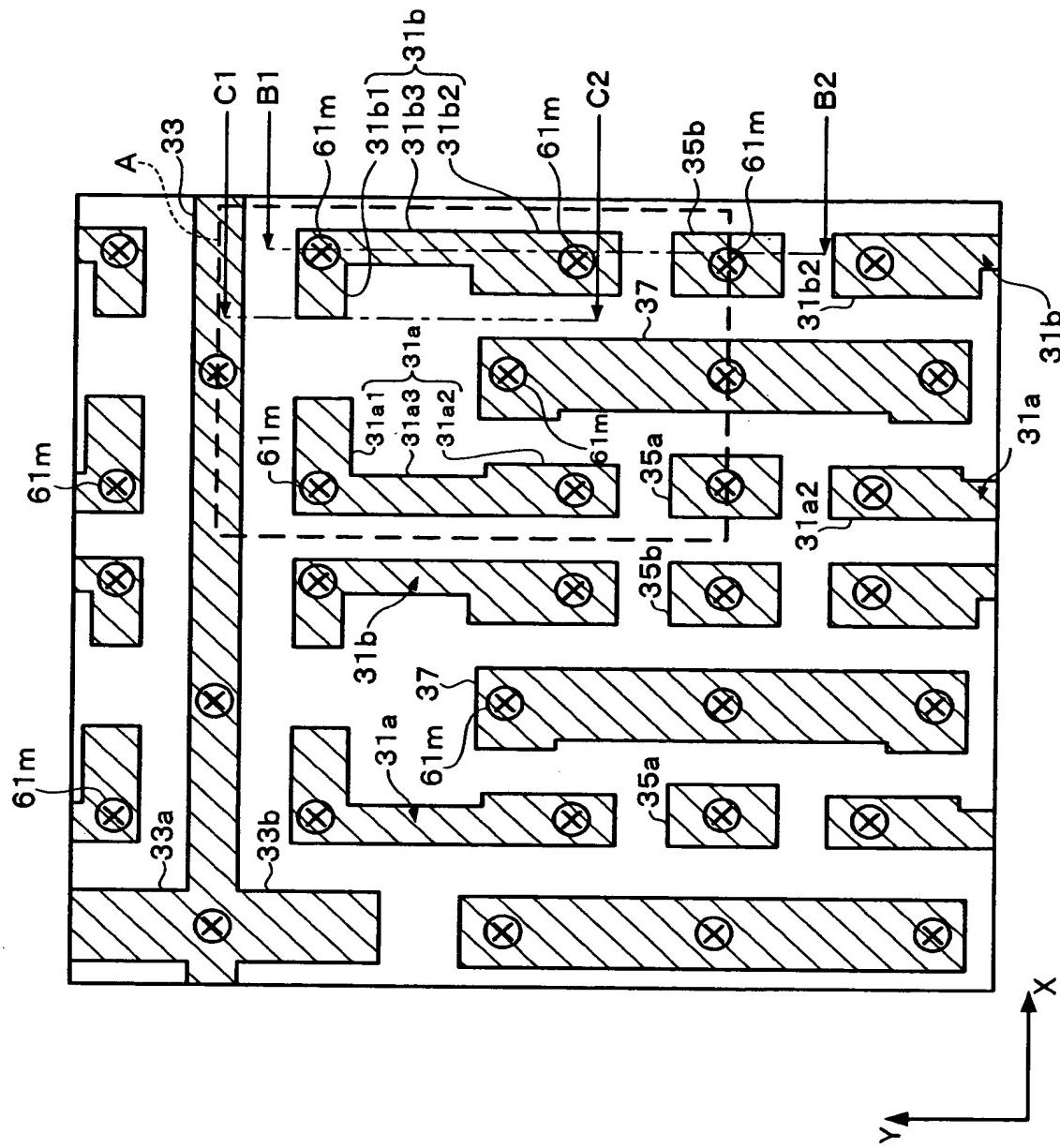
【図3】



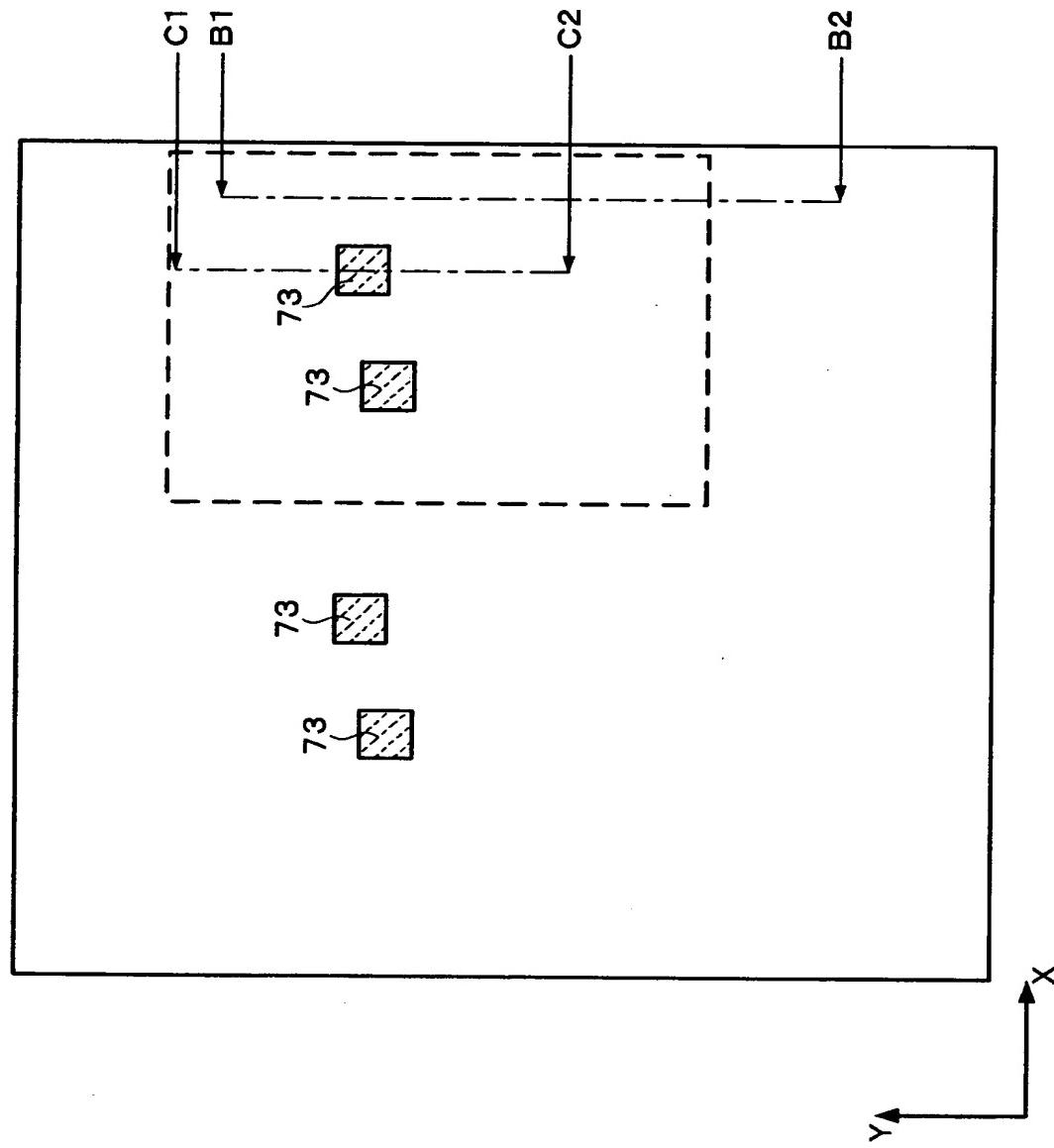
【図4】



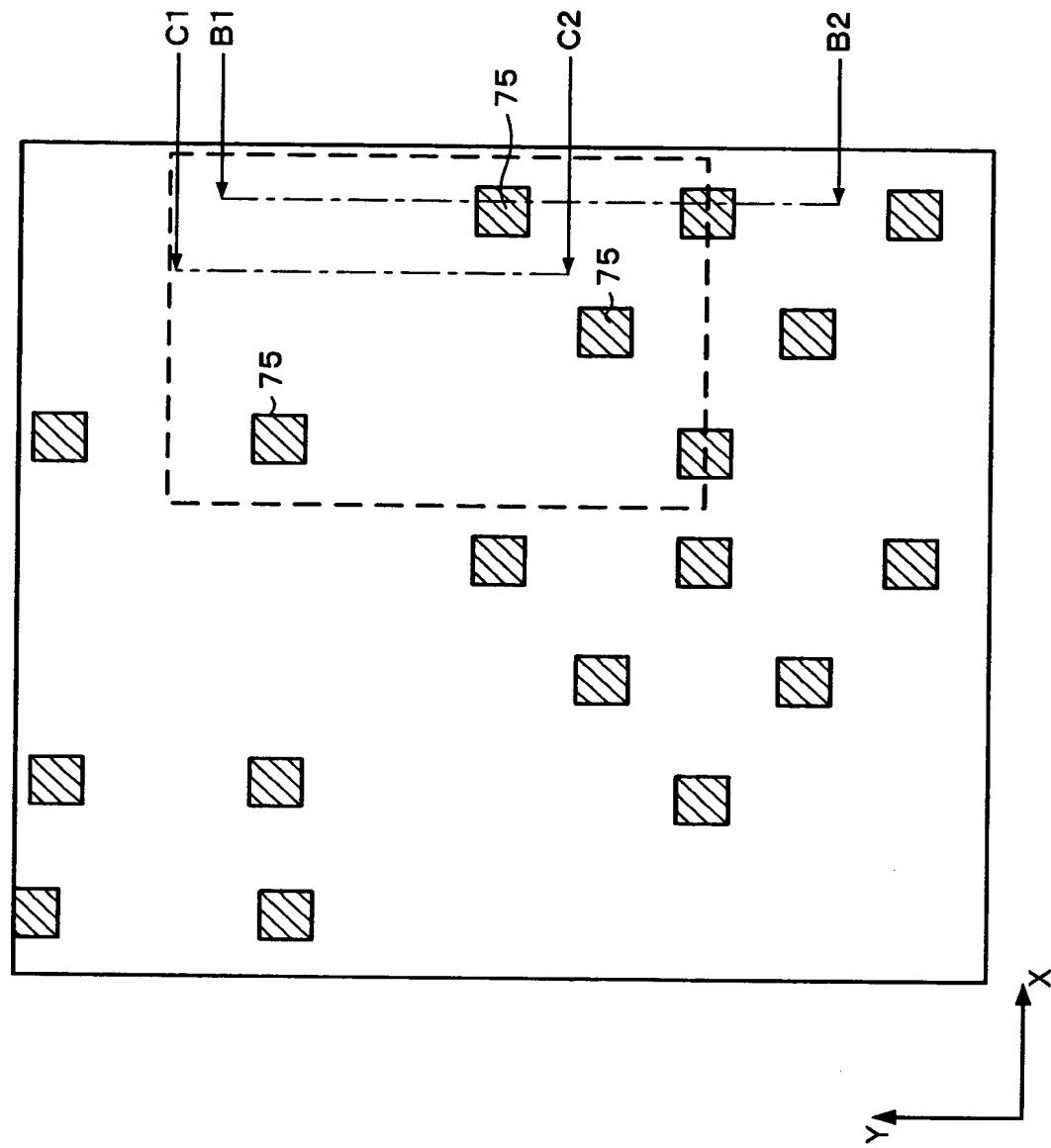
【図5】



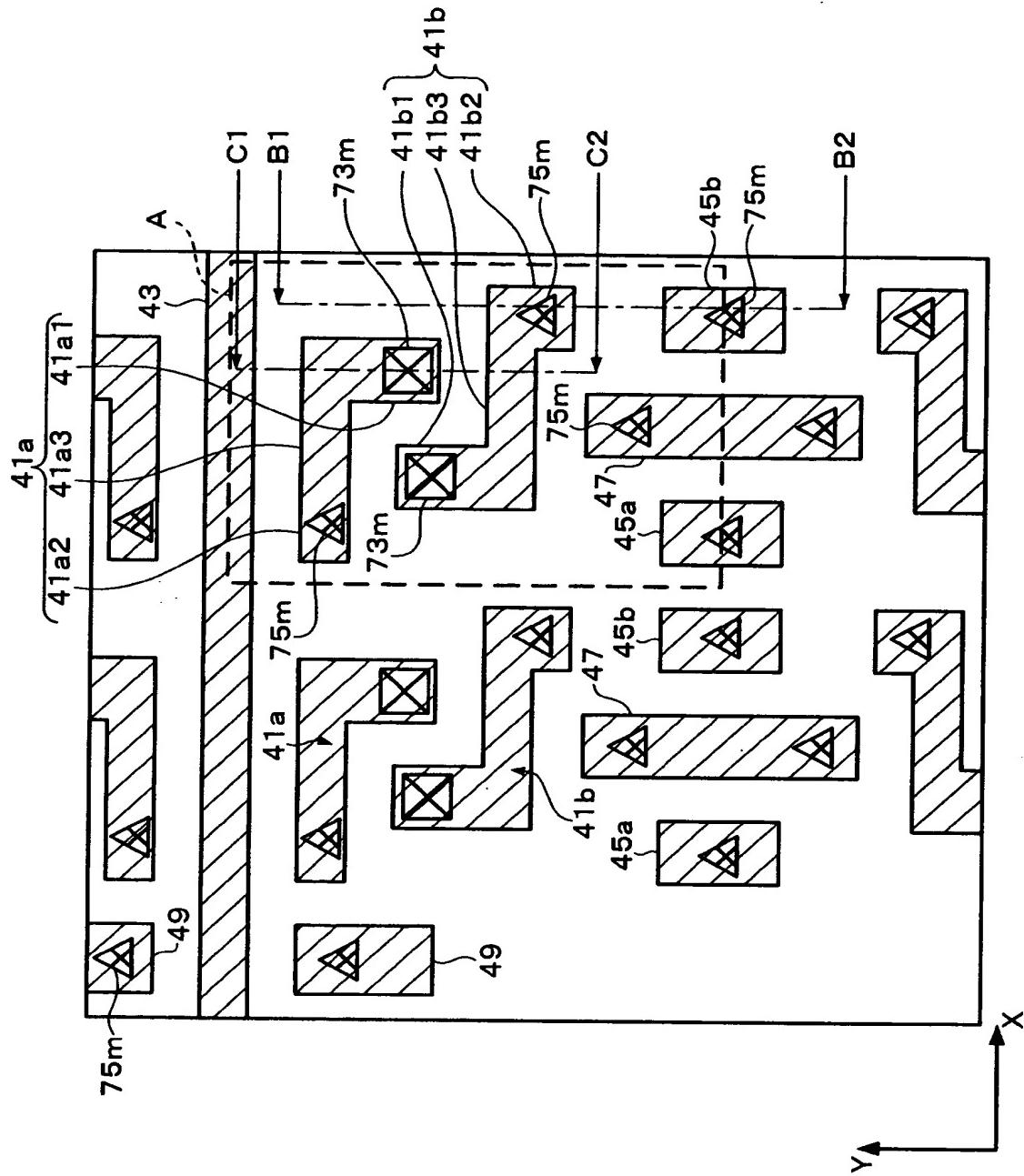
【図6】



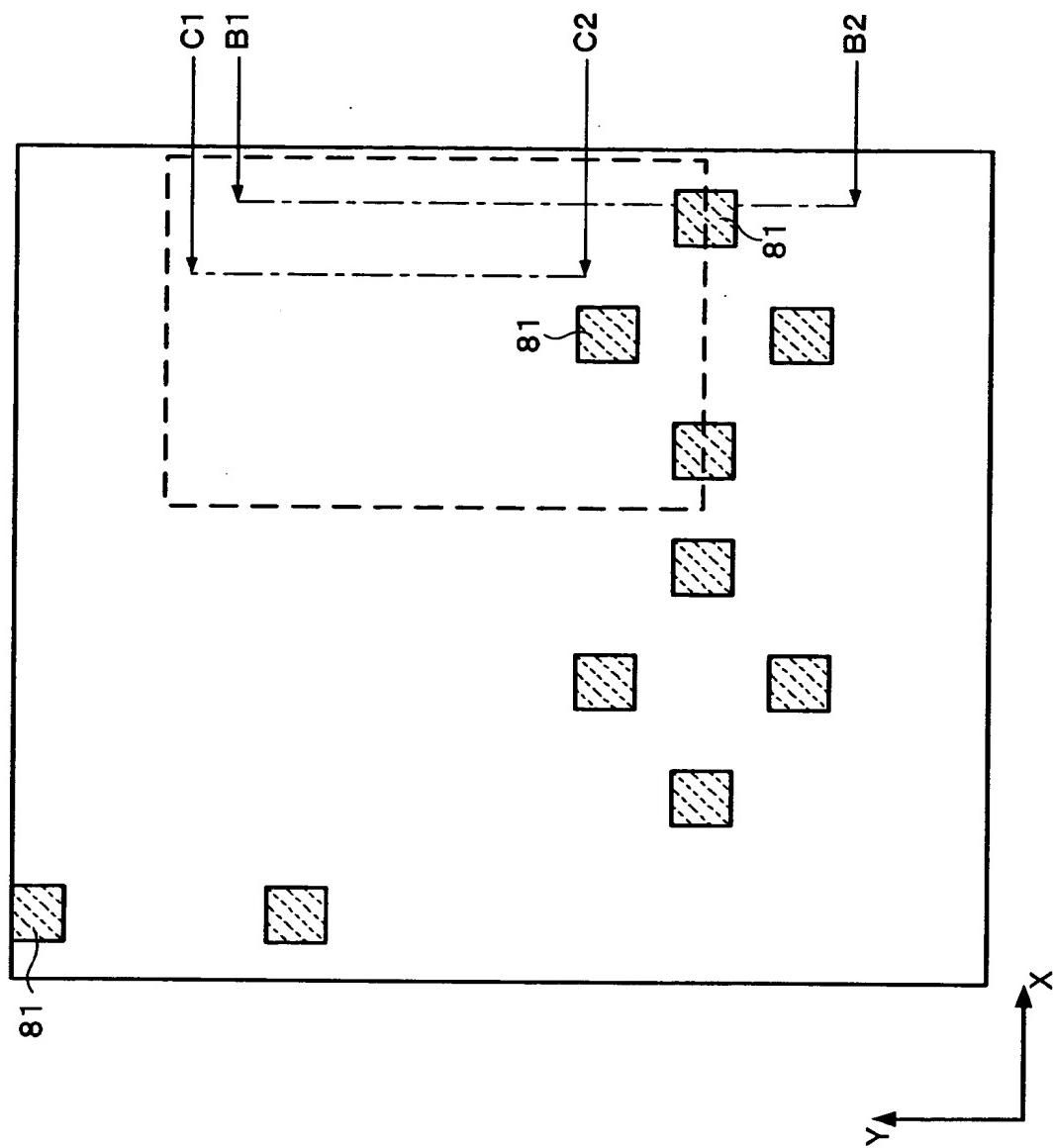
【図7】



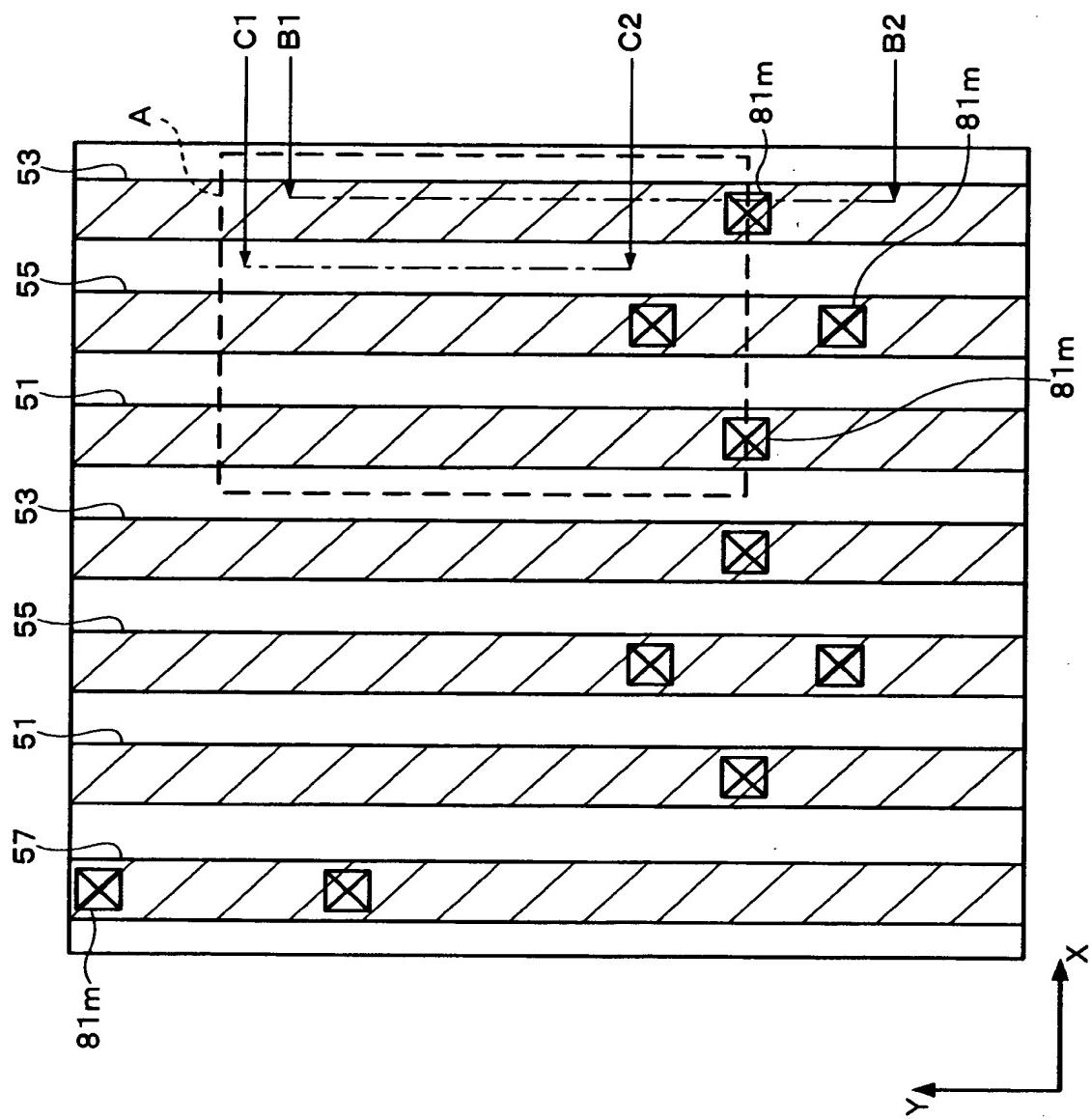
【図8】



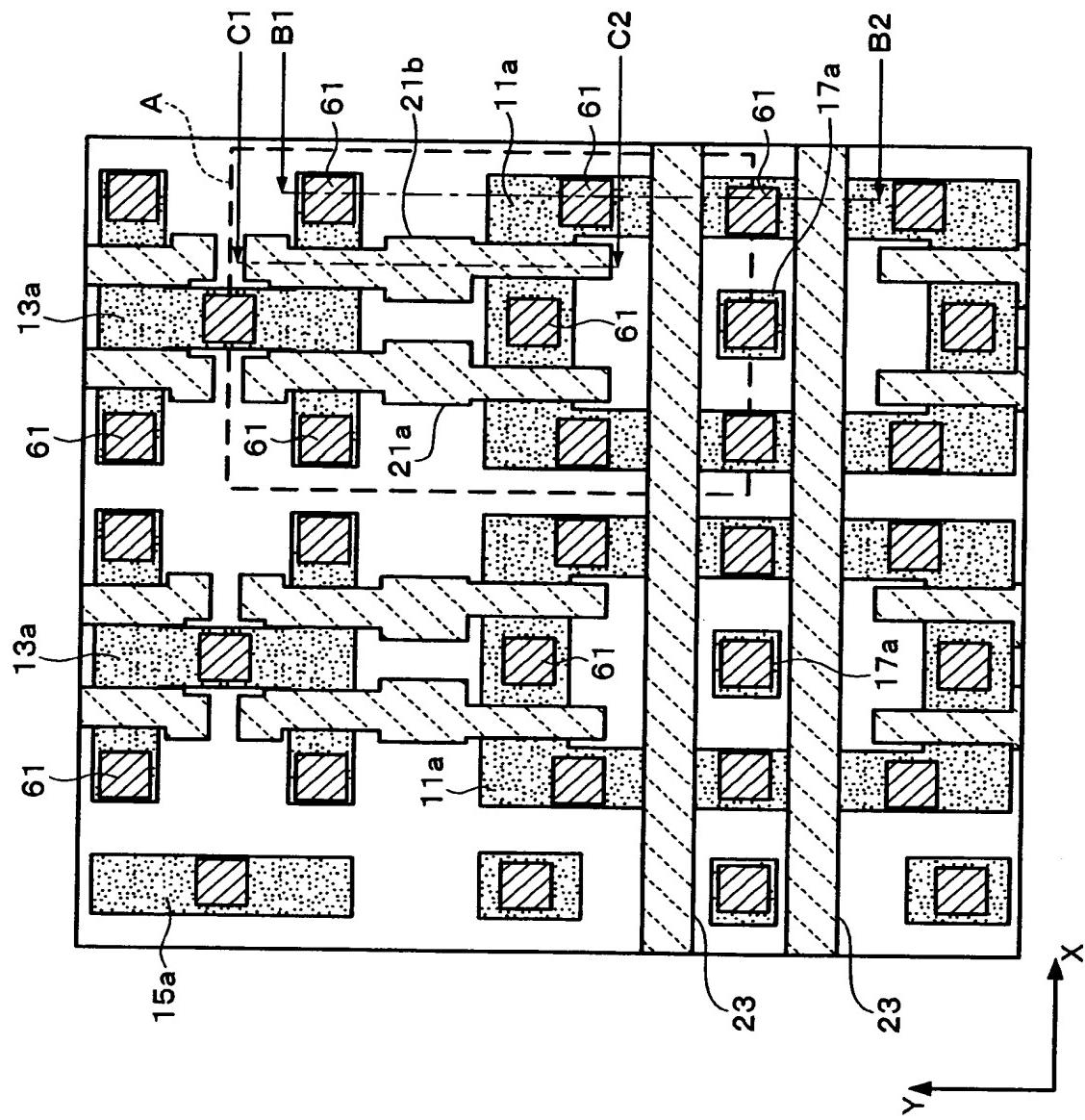
【図9】



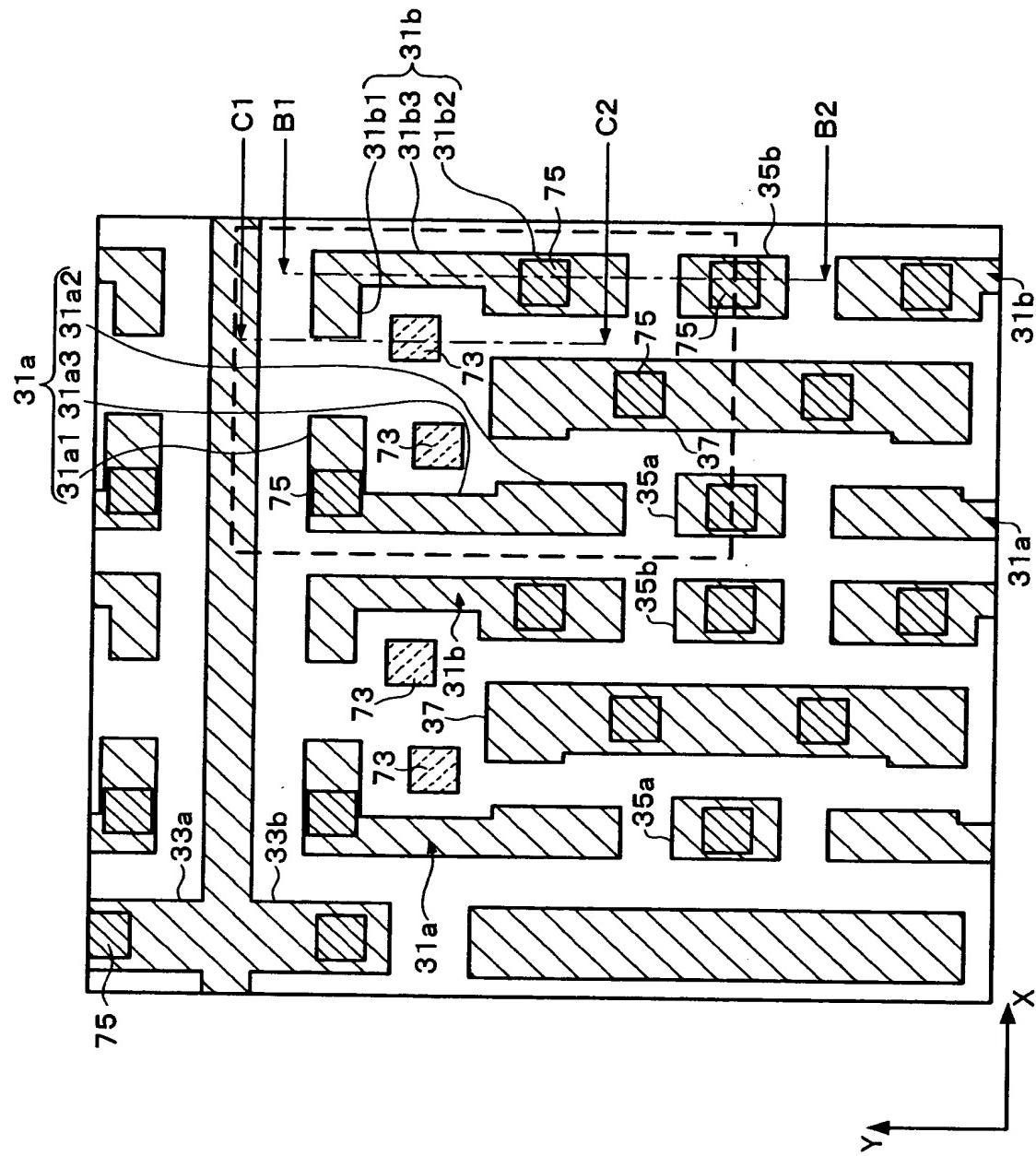
〔図10〕



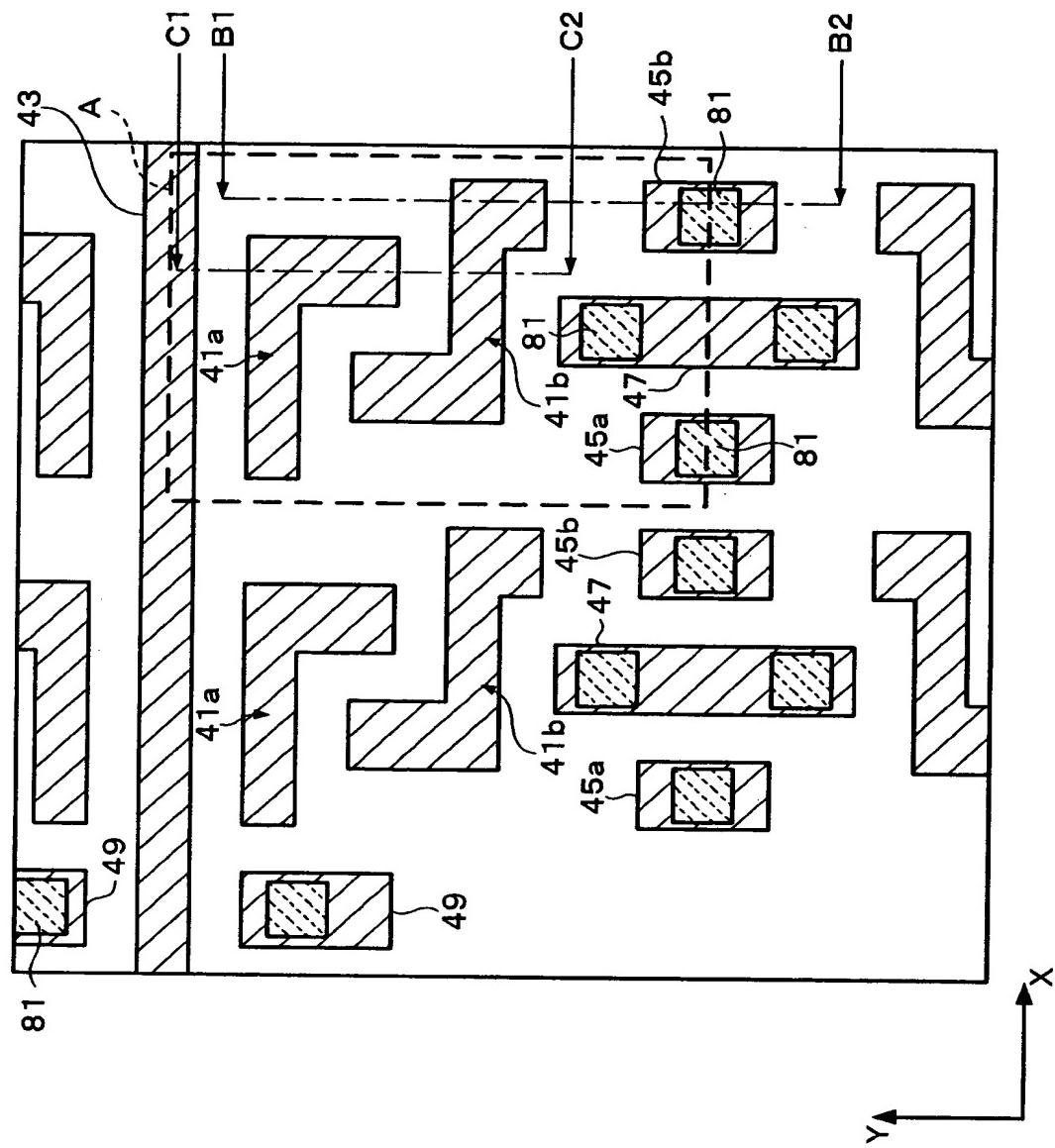
【図11】



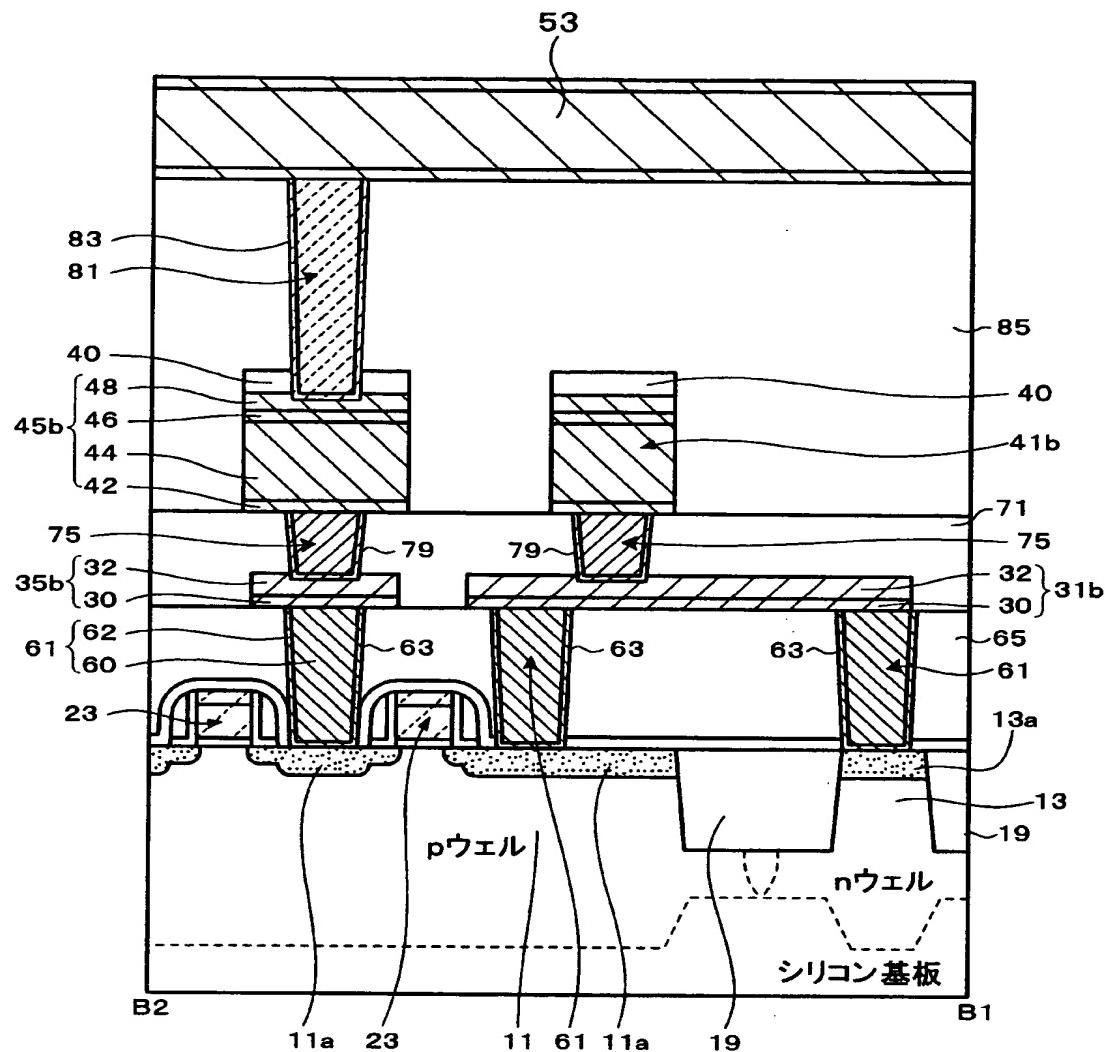
【図12】



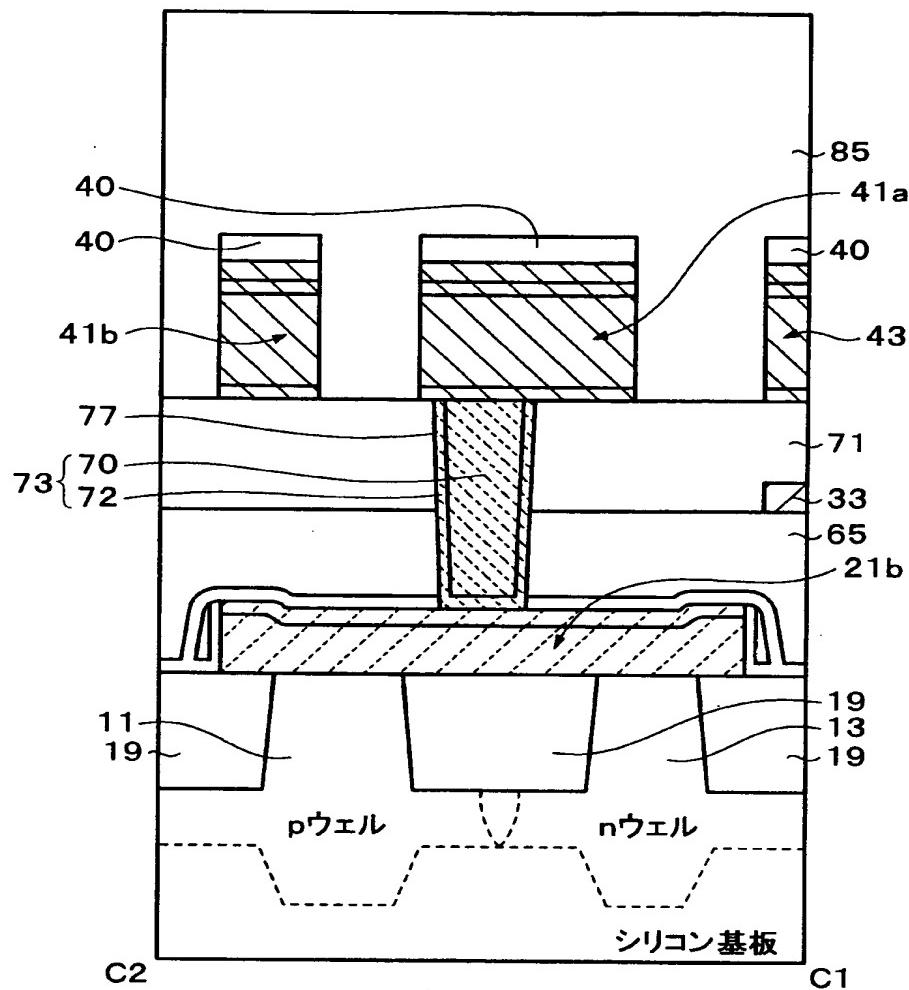
【図13】



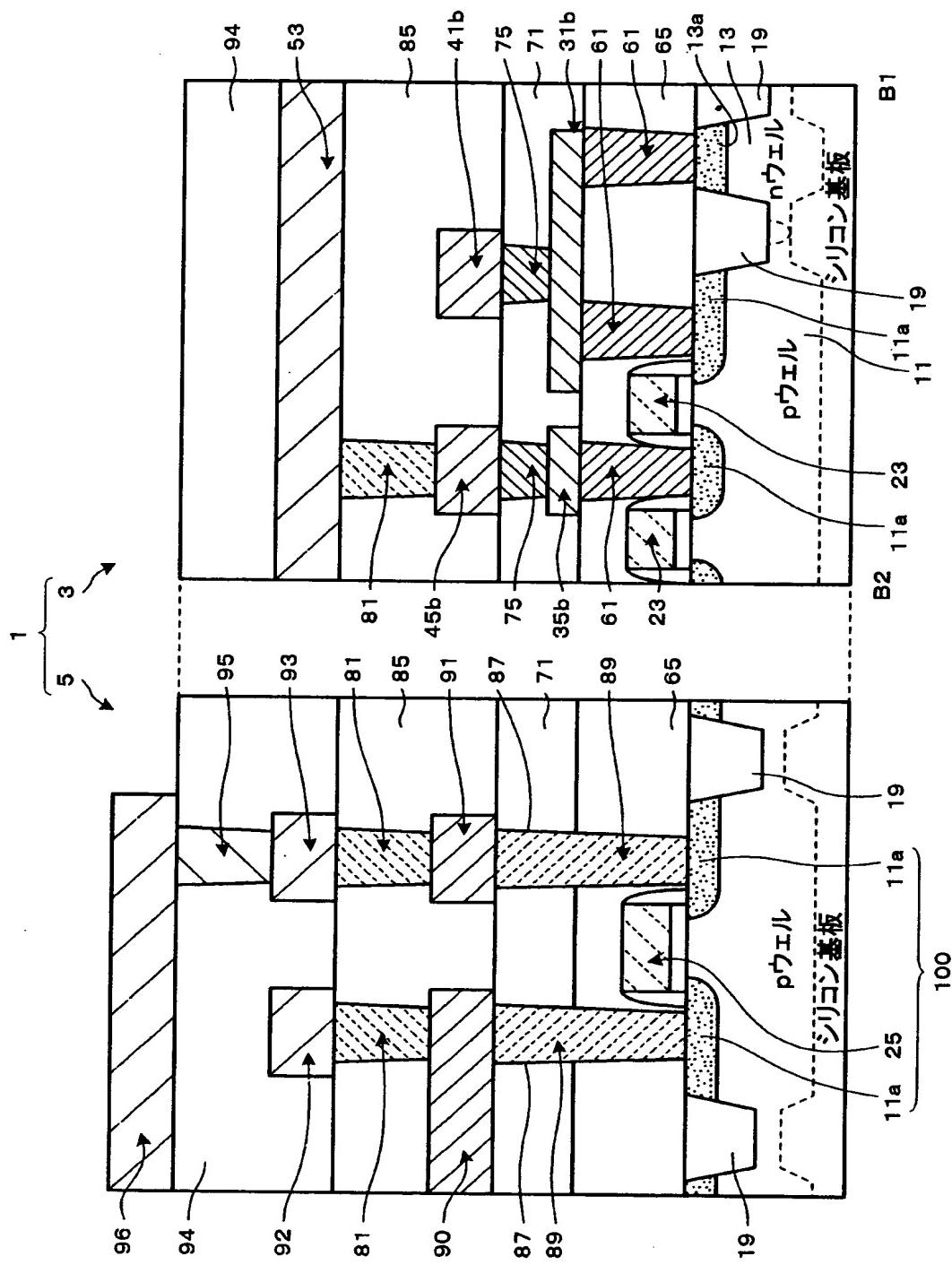
【図14】



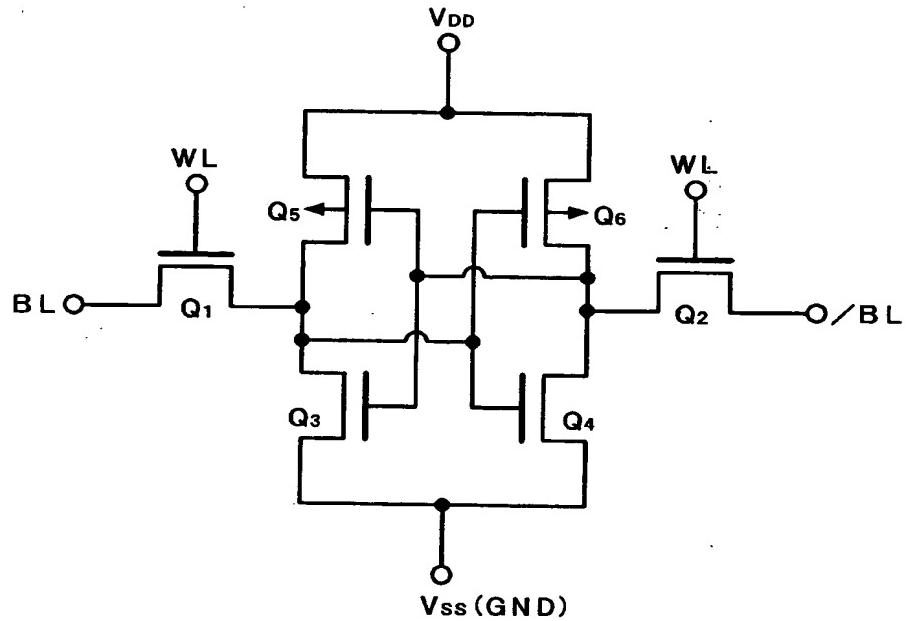
【図15】



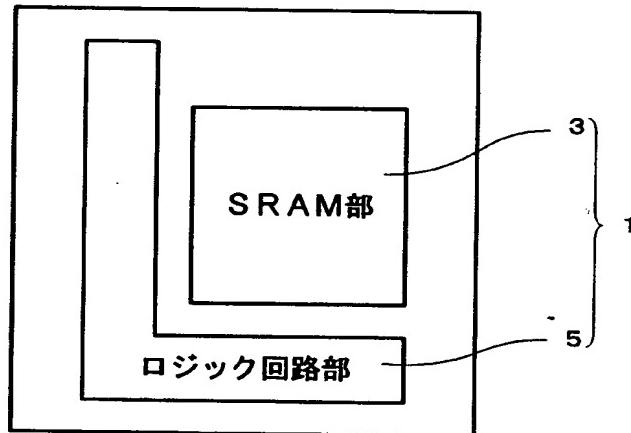
【図16】



【図17】



【図18】



【書類名】 要約書

【要約】

【課題】 メモリセルの小型化が可能なS R A Mを提供すること。

【解決手段】 半導体装置は、S R A M部と、ロジック回路部と、を同一の半導体基板に形成している。第1層導電層であるゲート電極層21a、21bと、第2層導電層であるドレインードレイン接続層31a、31bと、第3層導電層であるドレインーゲート接続層41a、41bと、がS R A M部のフリップフロップ用の導電層となる。ロジック回路部は、ドレインードレイン接続層31a、31bと同じレベルの位置に、配線層を有さない。

【選択図】 図1

出願人履歴情報

識別番号 [000002369]

1. 変更年月日 1990年 8月20日

[変更理由] 新規登録

住 所 東京都新宿区西新宿2丁目4番1号

氏 名 セイコーエプソン株式会社